

Docket No: 1259-0243P

Appl. No: NEW

Filed:

Inventor: Hirofumi KOMORI
Birch, Stewart, Kolaseh
& Birch, LLP
703) 205-8000

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 2 7 日
Date of Application:

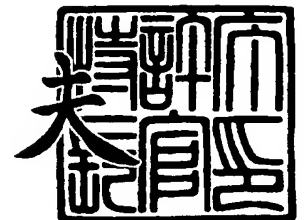
出 願 番 号 特 願 2 0 0 3 - 3 9 7 9 2 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 9 7 9 2 4]

出 願 人 イノテック株式会社
Applicant(s):

2 0 0 3 年 1 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 2 0 9 7

【書類名】 特許願
【整理番号】 P20031127L
【提出日】 平成15年11月27日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/14
H04N 5/335
【発明者】
【住所又は居所】 神奈川県横浜市港北区新横浜 3 - 1 7 - 6 イノテック株式会社
内
【氏名】 小森 寛文
【特許出願人】
【識別番号】 593102345
【氏名又は名称】 イノテック株式会社
【代理人】
【識別番号】 100075281
【弁理士】
【氏名又は名称】 小林 和憲
【電話番号】 03-3917-1917
【手数料の表示】
【予納台帳番号】 011844
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

受光部と検出部とからなるピクセルが半導体基板上に複数個形成されており、前記受光部は光照射を受けて電荷を発生し蓄積する電荷発生領域を備え、前記検出部は前記電荷発生領域から転送された電荷を蓄積する電荷蓄積領域を備え、この電荷蓄積領域に蓄積された電荷量に応じた信号電位を前記検出部が生成するMOS型固体撮像装置において、

前記ピクセル内の前記電荷発生領域と前記電荷蓄積領域との間に電荷転送領域を設け、この電荷転送領域に発生する電位障壁は、前記検出部への印加電圧に応じて除去可能であり、前記電荷発生領域に蓄積されている電荷を廃棄する際に、この電荷を前記電荷転送領域を通して前記電荷蓄積領域に転送し、前記半導体基板に排出することを特徴とするMOS型固体撮像装置。

【請求項 2】

前記受光部には、前記電荷発生領域から溢れ出た電荷を排出するための電荷排出領域が前記電荷発生領域の近傍に形成されていることを特徴とする請求項 1 記載のMOS型固体撮像装置。

【請求項 3】

前記半導体基板は一導電型の基板であり、前記電荷発生領域及び前記電荷蓄積領域は、前記半導体基板上に前記電荷転送領域と一体に形成された反対導電型の領域を介して設けられた一導電型の領域であって、

前記受光部は、前記電荷発生領域と、この電荷発生領域に接する反対導電型の領域とからなるフォトダイオードであり、

前記検出部は、前記電荷蓄積領域及び前記電荷転送領域の表層に形成されたチャネル領域と、このチャネル領域の上に絶縁層を介して形成されたゲート電極と、前記チャネル領域に接続され、かつ前記電荷蓄積領域に近接するように形成された反対導電型のソース領域と、このソース領域と前記チャネル領域を介して接続される反対導電型のドレイン領域とからなるMOS型トランジスタであり、前記ソース領域に前記電荷蓄積領域に蓄積された電荷量に応じた信号電位を生成することを特徴とする請求項 1 記載のMOS型固体撮像装置。

【請求項 4】

前記一導電型の電荷発生領域の隣に反対導電型の領域が形成され、この隣に、前記電荷発生領域からこの反対導電型の領域を超えて溢れ出た電荷を排出するための電荷排出領域が形成され、この電荷排出領域は一導電型であることを特徴とする請求項 3 記載のMOS型固体撮像装置。

【請求項 5】

前記複数のピクセルが第 1 の方向と第 2 の方向とに二次元的に配列され、前記第 1 の方向に並ぶ複数のピクセルの前記ソース領域は互いに接続され、前記第 2 の方向に並ぶ複数のピクセルの前記ゲート電極は互いに接続され、全てのピクセルの前記ドレイン領域は共に接続されていることを特徴とする請求項 3 又は 4 のいずれかに記載のMOS型固体撮像装置。

【請求項 6】

前記各ピクセルの前記ソース領域と前記ドレイン領域とに同時に高電圧を印加するために、外部から前記ソース領域と前記ドレイン領域と電気的に接続することを可能としたスイッチ回路を備え、前記電荷蓄積領域に蓄積された電荷を前記半導体基板に排出する際に、前記ゲート電極をハイインピーダンス状態として、前記ソース領域と前記ドレイン領域に同時に高電圧を印加することによって前記ゲート電極を昇圧することを特徴とする請求項 5 記載のMOS型固体撮像装置。

【請求項 7】

請求項 5 又は 6 のいずれかに記載のMOS型固体撮像装置の駆動方法であって、
前記電荷発生領域の電荷を前記電荷蓄積領域に転送するステップ 1 と、
この電荷蓄積領域に転送された電荷を前記半導体基板に排出するステップ 2 と、

この電荷発生領域に発生する電荷を所定時間蓄積するステップ3と、
この電荷発生領域に蓄積された電荷を前記電荷蓄積領域に転送するステップ4と、
この電荷蓄積領域に転送された電荷量に応じた信号電位を前記ソース領域に生成するステップ5と、
この電荷蓄積領域に蓄積した電荷を前記半導体基板に排出するステップ6と、
この電荷蓄積領域の電荷が排出された後の信号電位を前記ソース領域に生成するステップ7とを有し、

前記ステップ1～4は全てのピクセルについて同時に行い、前記ステップ5～7は前記第1の方向に並ぶ複数のピクセル毎に順に行うことを特徴とするMOS型固体撮像装置の駆動方法。

【請求項8】

前記ステップ3及び4を、この順に複数回繰り返すことを特徴とする請求項7記載のMOS型固体撮像装置の駆動方法。

【書類名】 明細書**【発明の名称】 MOS 型固体撮像装置及びその駆動方法****【技術分野】****【0 0 0 1】**

本発明は、デジタルカメラ、カメラ付き携帯電話機等に用いられる閾値電圧変調方式の MOS 型固体撮像装置及びその駆動方法に関するものである。

【背景技術】**【0 0 0 2】**

CCD (Charge Coupled Device) 型や MOS (Metal Oxide Silicon) 型の固体撮像装置 (イメージセンサ) は、量産性に優れているため、パターンの微細化技術の進展に伴って大量生産され、ほとんどの画像入力デバイス装置に適用されている。特に、近年、CCD 型固体撮像装置と比べて、消費電力が小さく、かつ撮像素子と周辺回路とを同じ CMOS (Complementary MOS) 技術によって作成できるという利点を有する MOS 型固体撮像装置が見直されている。このような世の中の動向に鑑み、MOS 型固体撮像装置の各種改良がなされ、MOS 型トランジスタ (検出部) のチャネル領域の下に、電荷発生領域から転送された電荷キャリア (ホール) を蓄積するキャリアポケット (ホールポケット) を設け、検出部がこのキャリアポケットに蓄積した電荷量に応じて変化する閾値電圧 (信号電位) を生成することを利用し、映像信号を得ること可能とした MOS 型固体撮像装置が知られている (特許文献 1 参照)。

【0 0 0 3】

さらに、この特許文献 1 に開示された MOS 型固体撮像装置に関し、光照射によりホールを発生して蓄積する電荷発生領域から上記キャリアポケットへホールの転送を、その間に設けた除去可能な電位障壁を制御することによって自在に行うことを可能とし、かつ、電荷発生領域の近傍に設けたラテラルオーバーフロードレインを制御することによって電荷発生領域に蓄積されたホールを自在に廃棄することを可能としたものが本願出願人より出願されている (特許文献 2 参照)。これによれば、2 次元状に配列された複数のピクセル (画素) において、光照射によって電荷発生領域で発生される電荷の廃棄、蓄積開始と蓄積終了、及びキャリアポケットへの電荷の転送 (すなわちグローバル電子シャッタ) を同時に行うことができ、さらに、これらはキャリアポケットに転送された電荷量に応じた信号電位の生成 (読み出し) と並行して行うことができるので、連続撮影する場合に撮影される各コマを間断なく連続して得ることができる。すなわち、これは、動画対応のグローバル電子シャッタ機能を備えた MOS 型固体撮像装置と言えるものである。

【0 0 0 4】

【特許文献 1】 特許第 2 9 3 5 4 9 2 号公報

【特許文献 2】 特願 2 0 0 2 - 2 4 9 2 7 0 号公報

【発明の開示】**【発明が解決しようとする課題】****【0 0 0 5】**

しかしながら、デジタルカメラあるいはカメラ付き携帯電話機でスナップ写真などを撮影する場合には、動画撮影は必ずしも必要ではなく、静止画撮影で十分に足りる場合が殆どである。特許文献 2 に示された MOS 型固体撮像装置は、上記のように動画撮影時のグローバル電子シャッタ機能を実現するように構成されたものであるため、その撮像装置の構成及びその撮影動作の制御は複雑である。

【0 0 0 6】

本発明は、上記課題を解決するためになされたものであり、撮影機能を 1 コマずつ撮影を行う静止画撮影に限定して、グローバル電子シャッタ機能を簡単な構成によって実現する MOS 型固体撮像装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】**【0 0 0 7】**

本発明の MOS 型固体撮像装置は、受光部と検出部とからなるピクセルが半導体基板上

に複数個形成されており、前記受光部は光照射を受けて電荷を発生し蓄積する電荷発生領域を備え、前記検出部は前記電荷発生領域から転送された電荷を蓄積する電荷蓄積領域を備え、この電荷蓄積領域に蓄積された電荷量に応じた信号電位を前記検出部が生成するMOS型固体撮像装置において、前記ピクセル内の前記電荷発生領域と前記電荷蓄積領域との間に電荷転送領域を設け、この電荷転送領域に発生する電位障壁は、前記検出部への印加電圧に応じて除去可能であり、前記電荷発生領域に蓄積されている電荷を廃棄する際に、この電荷を前記電荷転送領域を通して前記電荷蓄積領域に転送し、前記半導体基板に排出することを特徴とするものである。

【0008】

なお、前記受光部には、前記電荷発生領域から溢れ出た電荷を排出するための電荷排出領域が前記電荷発生領域の近傍に形成されていることが好ましい。

【0009】

また、前記半導体基板は一導電型の基板であり、前記電荷発生領域及び前記電荷蓄積領域は、前記半導体基板上に前記電荷転送領域と一体に形成された反対導電型の領域を介して設けられた一導電型の領域であって、前記受光部は、前記電荷発生領域と、この電荷発生領域に接する反対導電型の領域とからなるフォトダイオードであり、前記検出部は、前記電荷蓄積領域及び前記電荷転送領域の表層に形成されたチャンネル領域と、このチャンネル領域の上に絶縁層を介して形成されたゲート電極と、前記チャンネル領域に接続され、かつ前記電荷蓄積領域に近接するように形成された反対導電型のソース領域と、このソース領域と前記チャンネル領域を介して接続される反対導電型のドレイン領域とからなるMOS型トランジスタであり、前記ソース領域に前記電荷蓄積領域に蓄積された電荷量に応じた信号電位を生成することが好ましい。

【0010】

また、前記電荷蓄積領域の下に反対導電型の領域が形成され、この反対導電型の領域の厚さは、前記電荷発生領域の下に形成された反対導電型の領域の厚さより薄いことが好ましい。

【0011】

また、前記複数のピクセルが第1の方向と第2の方向とに二次元的に配列され、前記第1の方向に並ぶ複数のピクセルの前記ソース領域は互いに接続され、前記第2の方向に並ぶ複数のピクセルの前記ゲート電極は互いに接続され、全てのピクセルの前記ドレイン領域は共に接続されていることが好ましい。

【0012】

また、前記各ピクセルの前記ソース領域と前記ドレイン領域とに同時に高電圧を印加するために、外部から前記ソース領域と前記ドレイン領域と電氣的に接続することを可能としたスイッチ回路を備え、前記電荷蓄積領域に蓄積された電荷を前記半導体基板に排出する際に、前記ゲート電極をハイレベル状態として、前記ソース領域と前記ドレイン領域に同時に高電圧を印加することによって前記ゲート電極を昇圧することが好ましい。

【0013】

本発明のMOS型固体撮像装置の駆動方法は、直前の2つの段落のいずれかに記載のMOS型固体撮像装置の駆動方法であって、前記電荷発生領域の電荷を前記電荷蓄積領域に転送するステップ1と、この電荷蓄積領域に転送された電荷を前記半導体基板に排出するステップ2と、この電荷発生領域に発生する電荷を所定時間蓄積するステップ3と、この電荷発生領域に蓄積された電荷を前記電荷蓄積領域に転送するステップ4と、この電荷蓄積領域に転送された電荷量に応じた信号電位を前記ソース領域に生成するステップ5と、この電荷蓄積領域に蓄積した電荷を前記半導体基板に排出するステップ6と、この電荷蓄積領域の電荷が排出された後の信号電位を前記ソース領域に生成するステップ7とを有し、前記ステップ1～4は全てのピクセルについて同時に行い、前記ステップ5～7は前記第1の方向に並ぶ複数のピクセル毎に順に行うものである。

【0014】

なお、前記ステップ3及び4を、この順に複数回繰り返すことが好ましい。

【発明の効果】

【0015】

本発明によれば、ピクセル内の電荷発生領域と電荷蓄積領域との間に電荷転送領域を設け、この電荷転送領域に発生する電位障壁は、検出部への印加電圧に応じて除去可能であり、電荷発生領域に蓄積されている電荷を廃棄する際に、この電荷を電荷転送領域を通して電荷蓄積領域に転送し、半導体基板に排出することで、撮影機能を静止画撮影に限定して、グローバル電子シャッタの開口前の電荷の廃棄動作を簡単な構成によって実現したMOS型固体撮像装置を提供することができる。

【0016】

また、受光部に、電荷発生領域から溢れ出た電荷を排出するための電荷排出領域を電荷発生領域の近傍に形成することで、ブルーミングの発生を防止することができる。

【発明を実施するための最良の形態】

【0017】

図1及び図2に示すように、ピクセル10には、受光部11と検出部12とが隣接して配置されている。この受光部11は、光照射に応じて電荷（ホール）を励起するフォトダイオードである。検出部12はMOS型トランジスタであり、チャネル領域の下にあるホールポケット13に転送されたホールが付与するポテンシャルによって変調される閾値電圧（ソース電圧）によって映像信号を検出する。

【0018】

図2に示すように、基板（半導体基板）14は、高濃度のp型（一導電型）の不純物が導入されたp⁺型シリコンであり、この基板（半導体基板）14上に、この基板14より不純物濃度が低いp⁻型シリコンがエピタキシャル成長されてエピタキシャル層15が形成されている。基板14上には、受光部11及び検出部12、また、図示しないがそれらを駆動する周辺回路等が形成されている。

【0019】

受光部11は、エピタキシャル層15内に埋め込まれたn型（反対導電型）埋込層16と、その上方に形成されたp型の電荷発生領域17と、この電荷発生領域17の周囲を覆い、かつn型埋込層16の上端に接するようにエピタキシャル層15の上に形成されたn型層18と、電荷発生領域17の表層を覆うように形成されたn型不純物領域19とで構成されている。さらに、その表層には、絶縁膜20が形成されている。このように、受光部11は、npn構造の埋め込みフォトダイオードを構成している。なお、n型埋込層16は、電荷発生領域17に深い空乏層を形成し、表層から深い所で電荷を励起する波長の長い赤色光に対する感度を高める。

【0020】

検出部12は、受光部11に隣接するように設けられており、エピタキシャル層15の上に形成されたn型層18は、受光部11から検出部12に広がっている。検出部12のn型層18の表層には、受光部11の電荷発生領域17で発生した電荷（ホール）の転送を受けるp型ウエル領域21が形成されており、ホールポケット13はp型ウエル領域21内で不純物濃度が最も高い、p⁺型の高濃度領域となっている。p型ウエル領域21とホールポケット13とが一体となって電荷蓄積領域を構成し、p型ウエル領域21が受けたホールは、その内部のホールポケット13に移動して蓄積される。また、受光部11の電荷発生領域17とp型ウエル領域21との間には、n型層18の一部が延在したトランスファ領域（電荷転送領域）18aが形成されている。このトランスファ領域18aに発生する電位障壁は、検出部12への印加電圧に応じて除去可能であり、この電位障壁の有無によって、ホールが電荷発生領域17からホールポケット13に転送されたり、この転送が抑制されたりする。

【0021】

ホールポケット13及びトランスファ領域18aの表層には、n型のチャネルドープ層（チャネル領域）22が形成されている。さらに、この上方には絶縁膜20を介して外形

が非対称な八角形であって中空のリング状（図 1 参照）をしたゲート電極 23 が形成されている。このリング状のゲート電極 23 に取り囲まれた、p 型ウエル領域 21 の中央部の表層には、チャネルドープ層 22 に接続され、かつホールポケット 13 に近接する n 型のソース領域 24 が形成されている。なお、ホールポケット 13 は、後述するように p 型ウエル領域 21 に n 型不純物が導入されてソース領域 24 が形成されるとともに、p 型不純物が再分布してゲート電極 23 でマスクされた領域の不純物濃度が高くなることによって形成される。また、チャネルドープ層 22 は、ゲート電極 23 がバイアスされている場合には、電子の充満（いわゆるピンニング状態）によって、絶縁膜 20 の界面で発生する暗電流成分（ホール電荷）を抑制する。

【0022】

ソース領域 24 の表層には n^+ 型のコンタクト層 24a が形成されており、このコンタクト層 24a にはプラグ 25 が接続されている。また、ゲート電極 23 にはプラグ 26 が接続されている。

【0023】

p 型ウエル領域 21 の下方には、n 型層 18 を介して比較的高い不純物濃度を有する p 型埋込層 27 が埋め込まれており、p 型ウエル領域 21 下の n 型層 18 の厚さは薄くなっている。この p 型埋込層 27 及び n 型層 18 の不純物分布は、ホールポケット 13 に蓄積されたホールを p 型埋込層 27 を経由して基板 14 に掃き出す際に、空乏層が p 型埋込層 27 内ではなく p 型ウエル領域 21 内に広がって電界が集中するように設定されており、p 型ウエル領域 21 下の p 型埋込層 27 に広がる空乏層の厚さは薄い。すなわち、低いリセット電圧で p 型ウエル領域 21 内に急激なポテンシャル変化が生じて、ホールポケット 13 に蓄積されたホールを確実に掃き出しリセットすることができる。

【0024】

受光部 11 の上記 n 型不純物領域 19 は、検出部 12 の周囲を覆うように延在しており、チャネルドープ層 22 に接して検出部 12 のドレイン領域を形成している。すなわち、受光部 11 のフォトダイオードのカソード領域と検出部 12 のドレイン領域とは一体となっている。さらに、n 型不純物領域 19 の外側には、これに接するように n^+ 型不純物領域 28 が形成され、検出部 12 のドレイン領域は延在している。 n^+ 型不純物領域 28 の検出部 12 に近接する付近の表層には、 n^+ 型のコンタクト層 28a が形成されプラグ 29 が接続されている。なお、プラグ 29 を介して検出部 12 のドレイン領域に電圧が与えられる。また、 n^+ 型不純物領域 28 の受光部 11 に近接する付近の表層には、 p^+ 型不純物領域（電荷排出領域）30 が形成されており、この p^+ 型不純物領域 30 にはプラグ 31 が接続されている。

【0025】

図 2 中の拡大図に示すように、 p^+ 型不純物領域 30 は電荷発生領域 17 から微小な隙間を持って離間しており、その隙間には n 型層 18 が延在している。この隙間の n 型層 18 は、電荷発生領域 17 で発生したホールに対する電位障壁（PB）となる。例えば、電荷発生領域 17 に局所的に強い光照射が行われた場合に、電荷発生領域 17 から溢れたホールはこの電位障壁を越え、 p^+ 型不純物領域 30 を介してプラグ 31 から外部に排出される。このプラグ 31 が接続された p^+ 型不純物領域 30 は、ホールに対するラテラルオーバーフロードレイン（LOD）と称され、隣接するピクセル 10 へホールが溢れ出す、いわゆるブルーミングの発生を防止する。

【0026】

また、ピクセル 10 は、受光部 11 の上方に形成された受光窓 32a 以外の領域がメタル層（遮光膜）32 により覆われて遮光されている。

【0027】

図 3 において、以上のように構成されたピクセル 10 は、それぞれの n^+ 型不純物領域 28 が互いに連結されるようにして 2 次元状に複数配列されて受光領域を構成している。検出部 12 のソース領域 24 に接続されたプラグ 25 は、複数の垂直出力線 33 によって連結され、1 つの列（第 1 の方向）に並んだプラグ 25 は同一の 1 つの垂直出力線 33 に

連結されている。また、検出部 12 のゲート電極 23 に接続されたプラグ 26 は、複数の垂直走査信号供給線 34 によって連結され、1 つの行（第 2 の方向）に並んだプラグ 26 は同一の 1 つ垂直走査信号供給線 34 に連結されている。垂直出力線 33 と垂直走査信号供給線 34 とはそれぞれ異なるメタル層によって形成されている。なお、図 3 においては煩雑化を防ぐために図示しないが、各検出部 12 のドレイン領域に接続されたプラグ 29 は、行方向又は列方向に配線されたドレイン電圧供給線 35 によって連結されている。また、各受光部 11 のラテラルオーバーフロードレイン領域に電氣的に接触したプラグ 31 は、全て共通の配線により接続されている。

【0028】

図 4 において、上記の様に配列された複数のピクセル 10 に、V 走査（垂直走査）回路 40、ドレイン電圧駆動回路 41、ソース電圧の昇圧回路 42、光検出信号を出力する信号出力回路 43、H 走査（水平走査）回路 44、検出部 12 のソース領域とドレイン領域とを外部から電氣的に接続したり切り離したりするスイッチ回路 45 等が接続されることにより、MOS 型固体撮像装置が構成される。なお、同図において、簡単化のためにピクセル 10 は行方向と列方向にそれぞれ 2 個ずつのみ示している。また、各受光部 11 のラテラルオーバーフロードレイン領域を連結した配線は省略している。また、スイッチ回路 45 は、例えば「米国特許第 5335015 号明細書（第 2 図）」に示される回路を用いて構成することができる。

【0029】

V 走査回路 40 には、上記の垂直走査信号供給線 34 が接続されており、各検出部 12 のゲート電極 23 に垂直走査信号を供給する。ドレイン電圧駆動回路 41 には、上記のドレイン電圧供給線 35 が接続されており、各検出部 12 のドレイン領域に共通のドレイン電圧を供給する。昇圧回路 42 からは、昇圧電圧出力線 36 が列毎に一本ずつ出力されており、昇圧電圧出力線 36 は列毎に対応する垂直出力線 33 に連結されている。また、スイッチ回路 45 は、各ピクセル 10 に対応するドレイン電圧供給線 35 と昇圧電圧出力線 36 とを導通／非導通に切り換える。昇圧回路 42 が昇圧電圧出力線 36 を介して各ピクセル 10 のソース領域 24 に高電圧を適宜供給するとともに、このとき、スイッチ回路 45 がドレイン電圧供給線 35 と昇圧電圧出力線 36 とを接続して導通状態にして、検出部 12 のソース領域とドレイン領域を外部から電氣的に接続することで、ソース領域とドレイン領域とに同時に共通の高電圧を印加することができる。

【0030】

信号出力回路 43 には、垂直出力線 33 が接続されている。この信号出力回路 43 は、図示しない第 1 及び第 2 のラインメモリと雑音除去回路とによって構成されている。第 1 及び第 2 のラインメモリは 1 つの垂直出力線 33 毎に 1 組ずつ設けられている。第 1 のラインメモリは、ホールポケット 13 に蓄積されたホールによって変調された電位とホール蓄積前のセル固有の基準電位とを含んだソース領域 24 の電位（VoutS）を記憶するためのものであり、第 2 のラインメモリは、上記セル固有の基準電位のみによるソース領域 24 の電位（VoutN）を記憶するためのものである。雑音除去回路は、第 1 及び第 2 のラインメモリに記憶された電位の差（ $Vout = VoutS - VoutN$ ）を求め、受光部 11 から転送されてホールポケット 13 に蓄積されたホールによって変調された電位のみによる光検出信号（Vout）を出力する差分回路として機能するものである。

【0031】

H 走査回路 44 は、信号出力回路 43 に沿って配置されており、列毎に 1 つずつ水平走査信号供給線 37 が出ている。この水平走査信号供給線 37 は、信号出力回路 43 内の第 1 及び第 2 のラインメモリを選択するスイッチ（不図示）に接続されている。H 走査回路 44 は、列毎に設けられた第 1 及び第 2 のラインメモリを走査する水平走査信号（HSCAN）を水平走査信号供給線 37 に与える。また、信号出力回路 43 には、一端に光検出信号（Vout）の出力端子 46 が形成された水平出力線 47 が接続されている。

【0032】

図 5～15 は、上記の様に構成された MOS 型固体撮像装置の動作を説明するための図

である。ピクセル 10 は、図 3 及び図 4 で示したように 2 次元的に配列されており、そのうちの、各ゲート電極 25 が垂直走査信号供給線 34 により接続された複数のピクセル 10 が並ぶ行方向のラインを水平ラインと称する。この水平ラインは、V 走査回路 40 によって走査され選択される。

【0033】

図 5 は MOS 型固体撮像装置の動作を模式的に示すものであって、同図に示すように、MOS 型固体撮像装置の撮影動作が開始すると、まず、全ての水平ラインが選択される (S1)。各受光部 11 の電荷発生領域 17 で発生し、これに蓄積された電荷 (ホール) をホールポケット (HPK) 13 に転送する (S2)。このとき、図 6 に示すように、全てのピクセル 10 について共通に、ゲート電圧 $V_g = 0.0 \text{ V}$ 、ドレイン電圧 $V_d = 6.0 \text{ V}$ 、ソース電圧 $V_s = 1.2 \text{ V}$ が印加され、図 10 の B-B 線 (p^+ 型不純物領域 (LOD) 30 \rightarrow n 型層 (PB) 18 \rightarrow 電荷発生領域 (VSPD) 17 \rightarrow トランスファ領域 (TG) 18a \rightarrow ホールポケット (HPK) 13 \rightarrow n 型層 (VSNW) 18 \rightarrow 基板 (Psub) 14 の経路) に沿うホールに対するポテンシャルは、図 11 に示す実線のようになり、トランスファ領域 18a のポテンシャルが電荷発生領域 17 より低下して、電荷発生領域 17 のホールはポテンシャルの最も低いホールポケット 13 に転送される。この転送動作は、全てのピクセル 10 について同時に行われる。

【0034】

電荷発生領域 17 のホールが全てホールポケット 13 に転送された後、これらのホールを基板 14 へ排出する (S3)。このとき、図 6 に示すように、全てのピクセル 10 について共通に、ゲート電圧 $V_g = 8.0 \text{ V}$ 、ドレイン電圧 $V_d = 6.0 \text{ V}$ 、ソース電圧 $V_s = 6.0 \text{ V}$ が印加される。ここで、ゲート電圧 V_g をこのような高電圧とするために、例えば一旦ゲート電圧 V_g を 2.0 V とした後ハイインピーダンス状態を保ち、図 4 に示したスイッチ回路 45 によって各ピクセル 10 のソース領域とドレイン領域とを外部から接続したうえで、昇圧回路 42 によって 6.0 V をソース領域とドレイン領域とに与えられる。これにより、ゲート電極のゲート電圧 V_g は 8.0 V にまで昇圧される。このような電圧印加により、図 10 の B-B 線に沿うホールに対するポテンシャルは、図 11 に示す破線のように、トランスファ領域 18a のポテンシャルが上昇するとともに、ホールポケット 13 と n 型層 18 とのポテンシャルの差がほぼなくなり、ホールポケット 13 のホールはポテンシャルの低い基板 14 に排出 (廃棄) される。この排出動作は、全てのピクセル 10 について同時に行われる。

【0035】

上記ステップ S2 及びステップ S3 は、露光前に電荷発生領域 17 に蓄積されたホールを廃棄するための動作である。上記のようにして、電荷発生領域 17 のホールを全て基板 14 に廃棄した後、受光部 11 への露光を開始し (S4)、光照射によって発生するホールを電荷発生領域 17 に蓄積する (S5) する。ここで、露光開始とは、機械的なシャッタによる制御ではなく、電荷発生領域 17 に蓄積されているホールを全て廃棄した後、光照射によるホールの発生及び蓄積を開始することを指している。このとき、図 7 に示すように、全てのピクセル 10 について共通に、ゲート電圧 $V_g = 3.3 \text{ V}$ 、ドレイン電圧 $V_d = 1.2 \text{ V}$ 、ソース電圧 $V_s = 1.2 \text{ V}$ が印加され、図 10 の B-B 線に沿うホールに対するポテンシャルは、図 12 に示す実線のように、トランスファ領域 18a のポテンシャルが上昇して電荷発生領域 17 とホールポケット 13 との間の電位障壁となり、発生したホールを電荷発生領域 17 内に閉じ込め、蓄積させる。この蓄積動作は、全てのピクセル 10 について同時に行われる。

【0036】

この蓄積動作が所定時間経過すると、続いて電荷発生領域 17 に蓄積されたホールをホールポケット 13 に転送する転送動作が行われる (S6)。この転送動作は、全てのピクセル 10 について同時に行われ、図 7 に示す印加電圧条件や図 12 の破線で示すポテンシャルは、上記転送動作 (S2) と同じであり、詳細な説明は省略する。この転送動作が終了すると、所定の露光時間が経過したかどうか判定され (S7)、所定の露光時間が経

過していない場合には再び蓄積動作（S5）へ戻る。この露光時間は、通常のカメラにおけるシャッタが開いている時間（シャッタ速度）に相当し、所定の露光時間が経過するまで蓄積動作（S5）と転送動作（S6）とが繰り返される。

【0037】

ここで、電荷発生領域17に発生したホールを蓄積動作（S5）と転送動作（S6）とを繰り返すようにして転送するようにした理由は、近年のピクセル10の微細化によって電荷発生領域17の電荷容量がホールポケット13の電荷容量に比べて小さくなっており、この容量比に合わせて蓄積期間を分割して転送を行うようにするためである。これらの期間は適宜、適切な時間に設定される。また、転送動作中にはゲート電圧が0.0Vに設定されて前述のチャネルドープ層22のピンニング状態が解除されるので、上記のように蓄積動作と転送動作とに分けてホールを転送することで、実質的に転送動作の期間を短縮して暗電流成分の発生を低減することができるといった効果もある。

【0038】

所定の露光時間が経過すると、まず、V走査回路40が第1番目の水平ラインを選択する（S8）。そして、この選択された水平ライン（選択水平ライン）において、ホールポケット13に蓄積されたホールによって変調された電位とセル固有の基準電位とを含んだソース電位（VoutS）が生成され、信号出力回路43の第1のラインメモリへ読み出される（S9）。このとき、図8に示すように、選択水平ラインに含まれるピクセル10にはゲート電圧 $V_{g1} = 3.3\text{V}$ が印加され、その他の非選択の水平ライン（非選択水平ライン）に含まれるピクセル10はゲート電圧 $V_{g2} = 0.0\text{V}$ とされる。また、ドレイン電圧 V_d については共通に3.3Vが印加される。図10のB-B線に沿うホールに対するポテンシャルは、選択水平ラインについては図13に示す実線、非選択水平ラインについては図13に示す破線で示されている。選択水平ライン及び非選択水平ラインのいずれにおいてもホールポケット13のポテンシャルは隣接する周囲のポテンシャルより低く、かつトランスファ領域18aにより電荷発生領域17との間に電位障壁が形成されているので、上記ステップS6でホールポケット13に転送されたホールは他の領域へ流出することはない。

【0039】

なお、このソース電位（VoutS）の読み出し動作中においても電荷発生領域17では光照射によってホールが発生され続けている。n型層18によって形成された電位障壁（PB）はトランスファ領域18aによる電位障壁より低く形成されているので、電荷発生領域17の容量を越えて溢れ出たホールはこの電位障壁（PB）を介して p^+ 型不純物領域30のラテラルオーバーフロードレイン（LOD）から表面側に排出される。これにより、電荷発生領域17から溢れたホールがホールポケット13や隣接するピクセル10に流入することを防ぐ。

【0040】

ソース電位（VoutS）の読み出しが終わると、選択水平ラインではホールポケット13に蓄積されたホールは全て基板14に排出される（S10）。このとき、選択水平ラインの各ピクセル10に印加される電圧は、図8に示すように、上記ステップS3における排出動作時と同じであってゲート電圧 $V_{g1} = 8.0\text{V}$ とされるが、その他の非選択水平ラインの各ピクセル10は、ゲート電圧 $V_{g2} = 2.0\text{V}$ とされる。図10のB-B線に沿うホールに対するポテンシャルは、選択水平ラインについては図14に示す実線、非選択水平ラインについては図14に示す破線で示されている。選択水平ラインではホールポケット13からホールが排出されるが、非選択水平ラインではホールポケット13のホールは排出されることはない。この排出動作時においても、電荷発生領域17では光照射によってホールが発生され、溢れ出たホールはラテラルオーバーフロードレイン（LOD）から表面側に排出される。

【0041】

この選択水平ラインにおけるホールポケット13の排出動作が終わると、選択水平ラインにおいてソース電位（VoutN）が生成され、信号出力回路43の第2のラインメモ

リへ読み出される (S11)。このソース電位 (V_{outN}) にはセル固有の基準電位のみが含まれる。各ピクセル10への印加電圧は、図8に示すように、上記ステップS9と同じであり、図10のB-B線に沿うホールに対するポテンシャルは、図15のようになる。なお、ステップS9～S11は、水平ブランキング期間内に行われる。

【0042】

選択水平ラインにおける水平ブランキング期間が終了すると、H走査回路44によって信号出力回路43内に列毎に設けられた第1及び第2のラインメモリが走査され、水平ブランキング期間に入力された2つのソース電位の差 ($V_{out} = V_{outS} - V_{outN}$) が雑音除去回路によって演算される (S12)。この電位差 (V_{out}) は光検出信号として列毎に順次、出力端子46から出力される。図9に示すように、パルス状の水平走査信号 (HSCAN) によって光検出信号 (V_{out}) が順次出力される。このとき、各ピクセル10には、上記ステップS5の蓄積動作と同じ電圧が印加されており、非選択水平ラインのホールポケット13のホールは移動しない。

【0043】

第1番目の水平ラインについてステップS9～S12が行われると、続いて第2番目の水平ラインに移り、同様に、最終の水平ラインまでステップS9～S12が繰り返される。水平ラインが最終の水平ラインと判定されると (S13)、MOS型固体撮像装置の撮影動作が終了し、全ピクセル10の光検出信号 (V_{out}) からなる静止画像信号が得られる。なお、この後ステップS1へ戻るようにすることで、連続的に撮影動作を行うこともできる。

【0044】

ここで、図5に示した各ステップS1～S13におけるゲート電圧 V_g 、ドレイン電圧 V_d 、及びソース電圧 V_s と図4に示したスイッチ回路45の動作について若干の説明を加える。図6～図9の記載のように、排出 (S3)、蓄積 (S5)、排出 (S10)、及び水平走査 (S12) の各ステップにおいて、ドレイン電圧 V_d とソース電圧 V_s とは同電位である。これに対し、転送 (S2, S6) 及び読み出し (S9, S11) の各ステップにおいて、ドレイン電圧 V_d とソース電圧 V_s とは異なる電位である。

【0045】

スイッチ回路45は、これらの各ステップ間において効率的な電荷転送のために微小な動作開始タイミング調整を伴いつつも、前者 (S3, S5, S10, S12の各ステップ) においてはドレイン電圧供給線35及び垂直出力線33を短絡し、後者 (S2, S6, S9, S11の各ステップ) においてはこれらを開放する動作を行う。換言すれば、スイッチ回路45は、転送 (S2, S6) 及び読み出し (S9, S11) の各ステップを除く期間中、ドレイン電圧供給線35及び垂直出力線33を短絡する動作を行う。

【0046】

以上の動作のように、このMOS型固体撮像装置は、全てのピクセル10 (受光面全面) を同時に露光するとともに、その露光時間 (シャッタ速度) を制御することのできるグローバル電子シャッタを実現する。

【0047】

次に、図16～図21は、順にピクセル10の製造工程を示す。まず、図16 (A) に示すように、 p^+ 型シリコンからなる基板14上に、この基板14の不純物濃度より低い p^- 型のシリコンをエピタキシャル成長し、不純物濃度約 $1 \times 10^{15} \text{ cm}^{-3}$ の p^- 型エピタキシャル層15を形成する。そして、 p^- 型エピタキシャル層15の表面を熱酸化して表層に絶縁膜50が形成される。

【0048】

図16 (B) に示すように、絶縁膜50の上にピクセル形成領域を覆うようにレジストマスク51を形成し、 n 型不純物 (Phosphorus^+ ; 以下、 Ph^+ という) をイオン注入する。これにより、レジストマスク51に覆われていない領域の p^- 型エピタキシャル層15の表層に比較的高濃度の n^+ 型不純物領域28が形成される。

【0049】

レジストマスク51を除去した後、図17(A)に示すように、受光部11の形成領域にはほぼ対応した開口部52aを有するレジストマスク52を形成し、この開口部52aを通してn型不純物(P^{h+})を深くイオン注入する。これにより、p⁻型エピタキシャル層15低部の深い位置にピーク不純物濃度約 $1 \times 10^{17} \text{ cm}^{-3}$ のn型埋込層16が形成される。また、同じ開口部52aを通してp型不純物(Boron⁺; 以下、B⁺という)を浅くイオン注入することにより、p⁻型エピタキシャル層15の表層にピーク不純物濃度約 $6 \times 10^{16} \text{ cm}^{-3}$ のp型ウエル層53が形成される。なお、このとき、p型ウエル層53とn⁺型不純物領域28との間に微小な隙間が生じる。

【0050】

レジストマスク52を除去した後、図17(B)に示すように、全面にn型不純物(P^{h+})をイオン注入することにより、p⁻型エピタキシャル層15の表層の全領域にわたって、その下端がn型埋込層16に達するピーク不純物濃度約 $3 \times 10^{16} \text{ cm}^{-3}$ のn型層18が形成される。さらに、全面にn型不純物(Arsenic⁺; 以下、As⁺という)を浅くイオン注入することにより、p型ウエル層53及びn型ウエル層18の表層の極浅い位置に不純物濃度約 $2 \times 10^{17} \text{ cm}^{-3}$ のn型ドープ層54が形成される。

【0051】

図18(A)に示すように、検出部12の形成領域にはほぼ対応した開口部55aを有するレジストマスク55を形成し、この開口部55aを通してp型不純物(B⁺)を深くイオン注入する。これにより、p⁻型エピタキシャル層15に接続される深い位置にピーク不純物濃度約 $5 \times 10^{16} \text{ cm}^{-3}$ のp型埋込層27が形成される。また、同じ開口部55aを通してp型不純物(B⁺)をイオン注入することにより、n型層18の表層にピーク不純物濃度約 $6 \times 10^{16} \text{ cm}^{-3}$ のp型ウエル領域21が形成される。なお、このとき、p型埋込層27とp型ウエル領域21の間にはn型層18の一部が残され、この部分は他の部分より厚さが薄くなる。また、このとき、p型ウエル領域21とp型ウエル層53との間にn型層18の一部が残し、前述したトランスファ領域18aが形成される。

【0052】

レジストマスク55及び絶縁膜50を除去した後、図18(B)に示すように、その表面を熱酸化して新たに絶縁膜20が形成される。そして、この絶縁膜20の上に例えばポリシリコンとタンゲステンシリサイドとを積層して、導電膜56が形成される。

【0053】

図19(A)に示すように、導電膜56をエッチングによってパターニングして、検出部12のゲート電極23が形成される。このゲート電極23は、p型ウエル領域21の上方にリング状に形成され、その一部はトランスファ領域18aの上方を覆う。

【0054】

図19(B)に示すように、ゲート電極23をマスクとして表層に薄くn型不純物(As⁺)をイオン注入することで、不純物濃度約 $6 \times 10^{17} \text{ cm}^{-3}$ のソース領域24及びn型不純物領域19が形成される。このn型不純物のイオン注入により、p型ウエル領域21内の不純物分布が変化し、ゲート電極23下付近の濃度が高くなり、他の領域の濃度は低下する。なお、このとき、厚さの薄いn型ドープ層54はゲート電極23下のみとなり、この部分がチャネルドープ層22となる。これにより、チャネルドープ層22下のp型ウエル領域21には、ホールポケット13となる高濃度領域の一部がゲート電極23及びソース領域24に対してセルフアラインして形成される。また、このとき、p型ウエル層53は、その表層に形成されたn型不純物領域19とその下のn型層18とによってnpn型のフォトダイオードを形成し、p型ウエル層53はフォトダイオードのアノード領域(電荷発生領域17)となる。

【0055】

図20(A)に示すように、受光部11の近傍に位置するn⁺型不純物領域28の上方に開口部56aを設けたレジストマスク56を形成し、この開口部56aを通して高濃度のp型不純物(B⁺)を浅くイオン注入する。これにより、受光部11近傍のn⁺型不純物領域28の表層に前述のラテラルオーバーフロードレインとなるp⁺型不純物領域30

が形成される。なお、このとき、 p^+ 型不純物領域 30 と電荷発生領域 17 とは接続されず、それらの間に n 型層 18 が介在する。

【0056】

レジストマスク 56 を除去した後、CVD (Chemical Vapor Deposition) 法等によって絶縁膜を形成し、その後、異方性エッチングを行うことで、ゲート電極 23 の各側面にサイドウォールが形成される。そして、図 20 (B) に示すように、ソース領域 24 及びゲート電極 23 の一部分を露呈させる開口 58a と、 n^+ 型不純物領域 28 の上方に位置する開口部 58b とを有するレジストマスク 58 を形成し、この開口部 58a, 58b を通して高濃度の n 型不純物 (Ph^+) を浅くイオン注入する。これにより、ソース領域 24 の表層に n^+ 型のコンタクト層 24a が形成され、また、ドレイン領域となる n^+ 型不純物領域 28 の表層に n^+ 型のコンタクト層 28a が形成される。

【0057】

レジストマスク 58 を除去した後、図 21 に示すように、全面を覆うように絶縁層 59 ~ 62 をそれぞれ順に積層して形成するとともに、コンタクト層 24a, 28a, ゲート電極 13、及び p^+ 型不純物領域 30 を各配線層に接続するためのプラグ 25, 26, 29, 31 を形成する。また、絶縁層 61 の上には、受光部 11 の領域に受光窓 32a が設けられたメタル層からなる遮光膜 32 を形成する。このようにして、ピクセル 10 は完成する。

【0058】

なお、本発明の範囲は、上記実施形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。また、上記実施形態で示したピクセル 10 の製造方法の工程順序は、代表的な一例に過ぎず、工程順序を適宜変更することができる。

【0059】

上記実施形態では、ドレイン領域となる n^+ 型不純物領域 28 を全てのピクセル 10 で共有するように接続したが、これに限られず、 n^+ 型不純物領域 28 を 1 つの水平ライン毎に p^+ 型の分離帯を形成することによって分離し、ドレイン領域を 1 つの水平ライン毎に分離するようにしてもよい。この場合、図 5 に示したステップ S3 又は S10 の排出動作時には、ゲート電極 23 の他、ドレイン領域もハイインピーダンス状態としてソース領域 24 からの電圧印加によって昇圧すればよい。

【0060】

また、上記実施形態では、ホールポケット 13 がゲート電極 23 及びソース領域 24 に対してセルフアラインするように形成したが、これに限らず、ホールポケット 13 の形成領域に対応した開口を有するレジストマスクを用いて高濃度の p 型不純物のイオン注入を行うことで、ホールポケット 13 を形成するようにしてもよい。

【0061】

また、上記実施形態では、プラグ 25, 29 をドレイン領域及びソース領域 24 に電気的に接続するためにコンタクト層 24a, 28a を設けたが、プラグ 25, 29 とドレイン領域及びソース領域 24 との間で容易に導通が取れるのであればコンタクト層 24a, 28a は設けなくてもよい。

【0062】

さらに、本実施形態では、 p 型の基板 14 を用いて MOS 型固体撮像装置を構成したが、これに限られず、基板 14 を n 型としてもよい。この場合、受光部 11 で発生して検出部 12 に転送される電荷は電子となり、上記実施の形態と同様な効果を得るためには、上記実施形態で示した各領域の導電型をすべて反対 (p 型を n 型、 n 型を p 型) にすればよい。

【図面の簡単な説明】

【0063】

【図 1】 ピクセルを示す平面図である。

【図 2】 図 1 の A-A 線に沿うピクセルの断面図である。

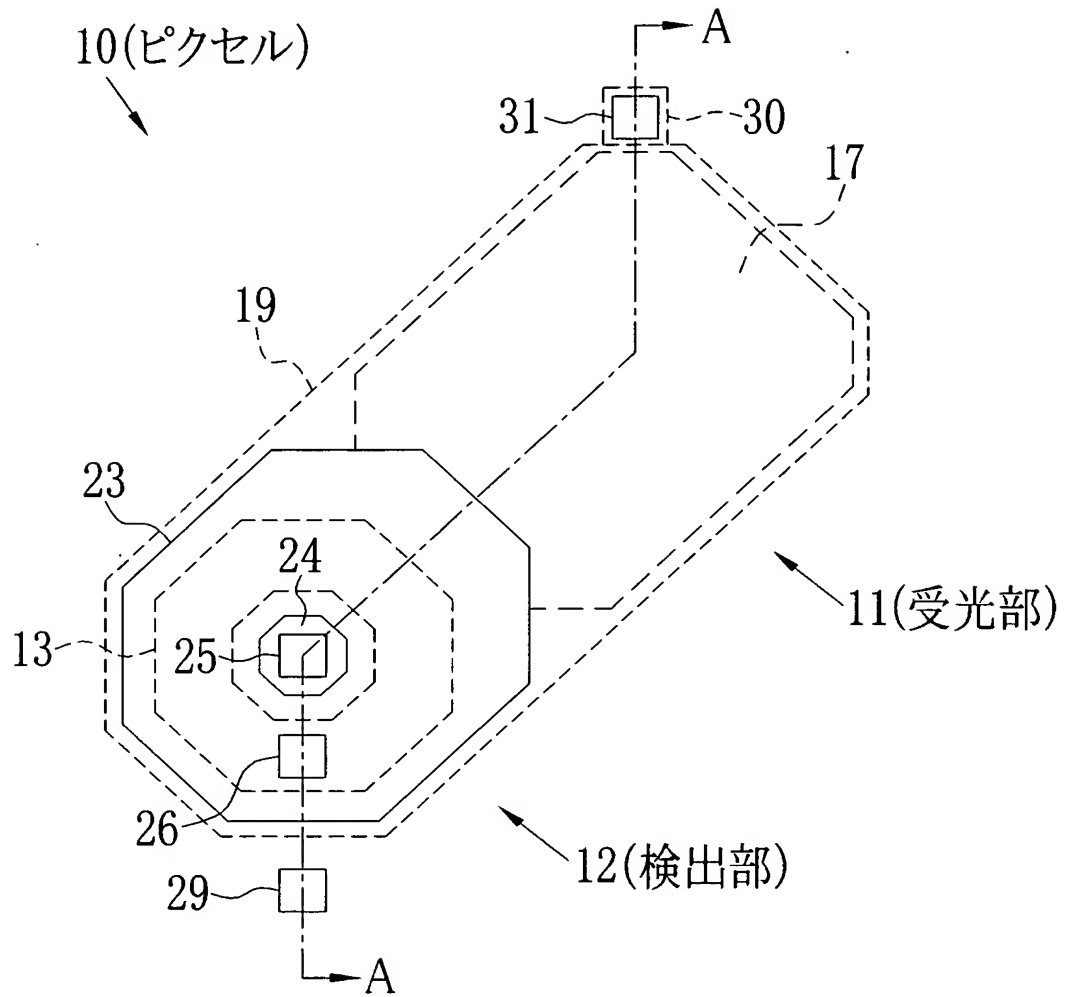
- 【図 3】 ピクセルの配列状態を示す平面図である。
- 【図 4】 MOS 型固体撮像装置の回路構成を示す図である。
- 【図 5】 MOS 型固体撮像装置の撮影動作を説明するフローチャートである。
- 【図 6】 撮影動作時の印加電圧を示すタイミングチャート（その 1）である。
- 【図 7】 撮影動作時の印加電圧を示すタイミングチャート（その 2）である。
- 【図 8】 撮影動作時の印加電圧を示すタイミングチャート（その 3）である。
- 【図 9】 撮影動作時の印加電圧を示すタイミングチャート（その 4）である。
- 【図 10】 撮影動作時のホールの移動経路を示すピクセルの断面図である。
- 【図 11】 撮影動作時のホールに対するポテンシャル図（その 1）である。
- 【図 12】 撮影動作時のホールに対するポテンシャル図（その 2）である。
- 【図 13】 撮影動作時のホールに対するポテンシャル図（その 3）である。
- 【図 14】 撮影動作時のホールに対するポテンシャル図（その 4）である。
- 【図 15】 撮影動作時のホールに対するポテンシャル図（その 5）である。
- 【図 16】 ピクセルの製造工程を示す断面図（その 1）である。
- 【図 17】 ピクセルの製造工程を示す断面図（その 2）である。
- 【図 18】 ピクセルの製造工程を示す断面図（その 3）である。
- 【図 19】 ピクセルの製造工程を示す断面図（その 4）である。
- 【図 20】 ピクセルの製造工程を示す断面図（その 5）である。
- 【図 21】 ピクセルの製造工程を示す断面図（その 6）である。

【符号の説明】

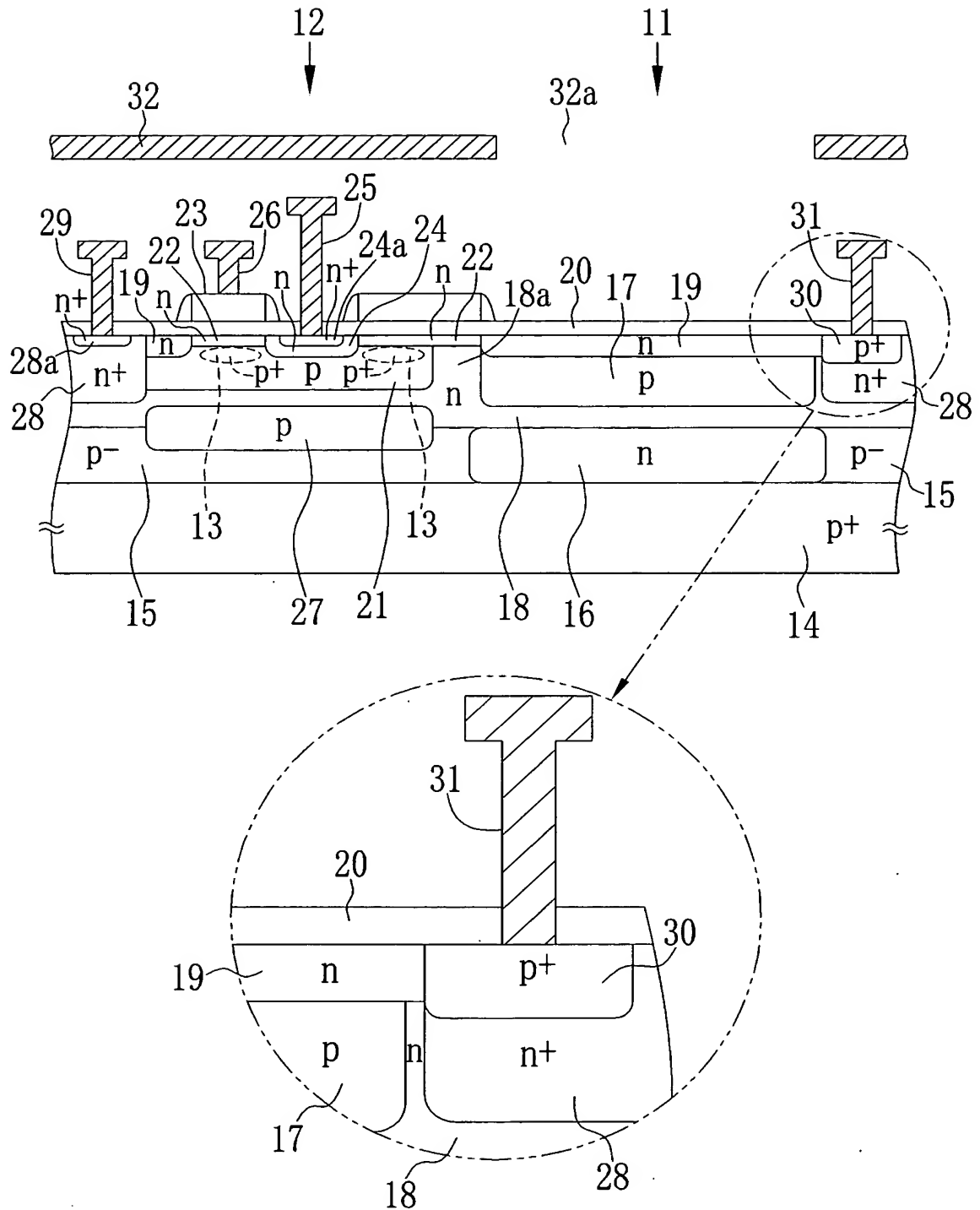
【0064】

- 10 ピクセル
- 11 受光部
- 12 検出部
- 13 ホールポケット（電荷蓄積領域）
- 14 基板（半導体基板）
- 16 n 型埋込層（反対導電型の領域）
- 17 電荷発生領域
- 18 n 型層（反対導電型の領域）
- 18 a トランスファ領域（電荷転送領域）
- 19 n 型不純物領域（反対導電型の領域、ドレイン領域）
- 20 絶縁膜
- 21 p 型ウエル領域（電荷蓄積領域）
- 22 チャネルドープ層（チャネル領域）
- 23 ゲート電極
- 24 ソース領域
- 27 p 型埋込層
- 28 n⁺ 型不純物領域（ドレイン領域）
- 30 p⁺ 型不純物領域（電荷排出領域）
- 40 垂直走査回路
- 41 ドレイン電圧駆動回路
- 42 昇圧回路
- 43 信号出力回路
- 44 水平走査回路
- 45 スイッチ回路

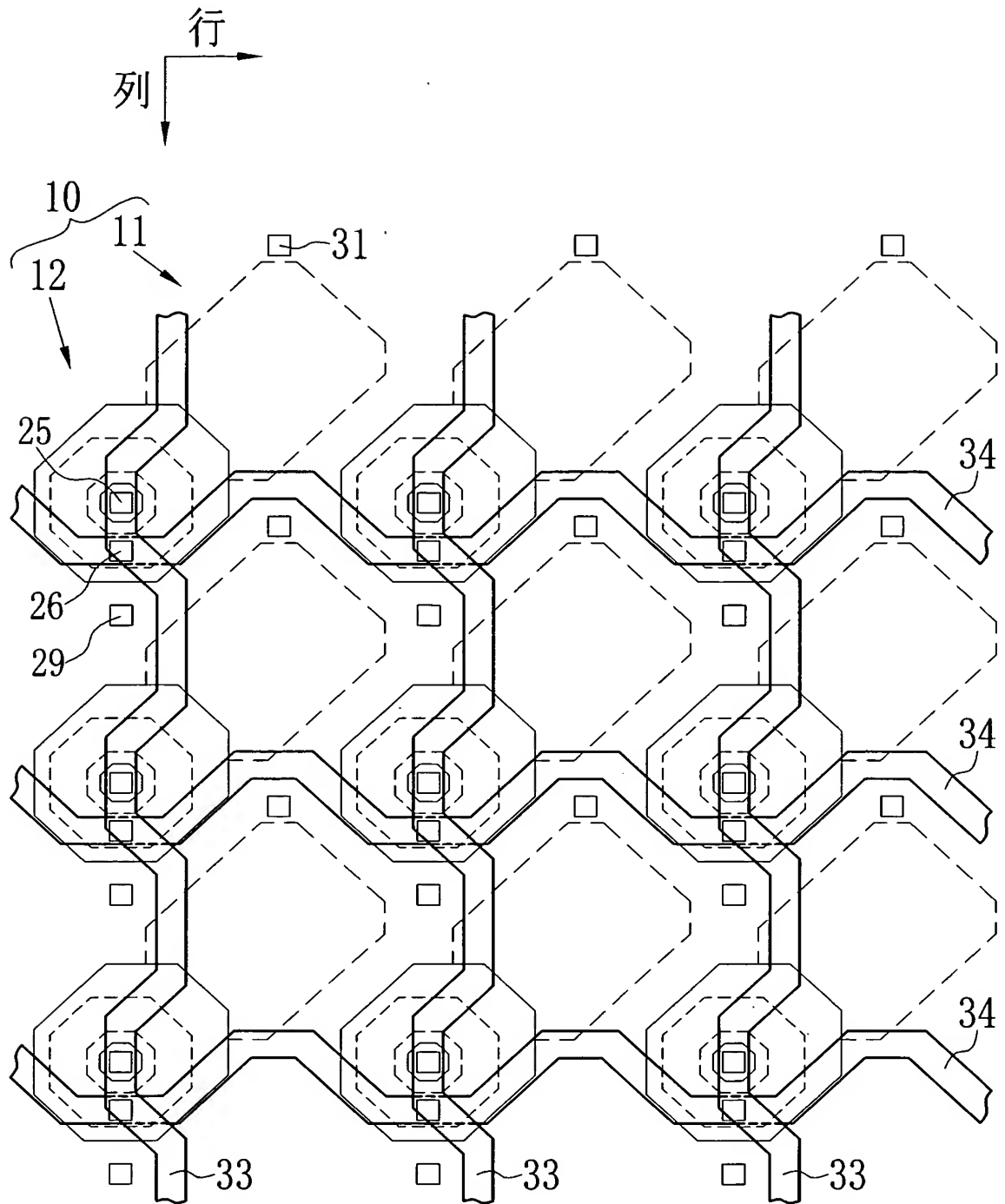
【書類名】 図面
【図 1】



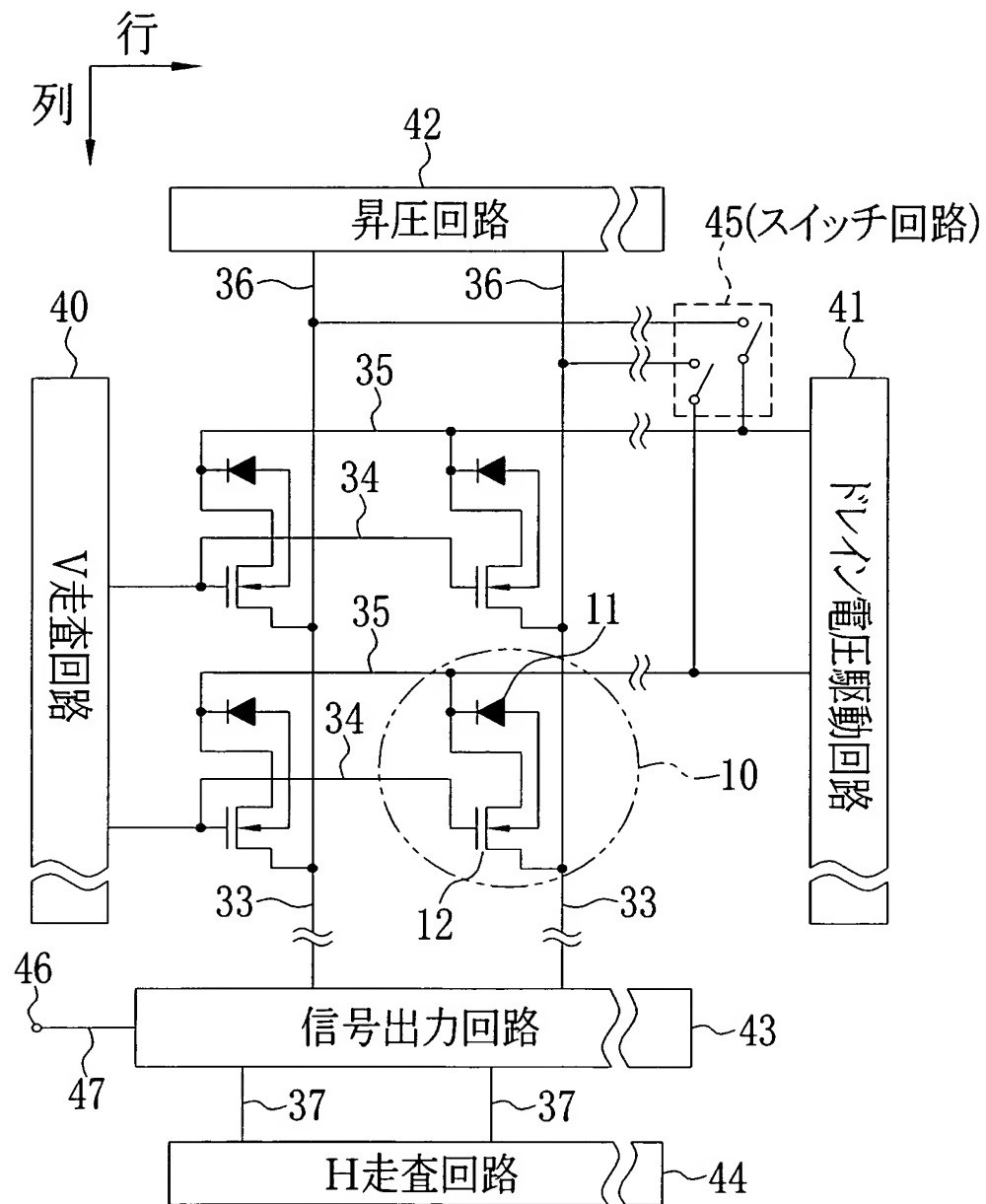
【図 2】



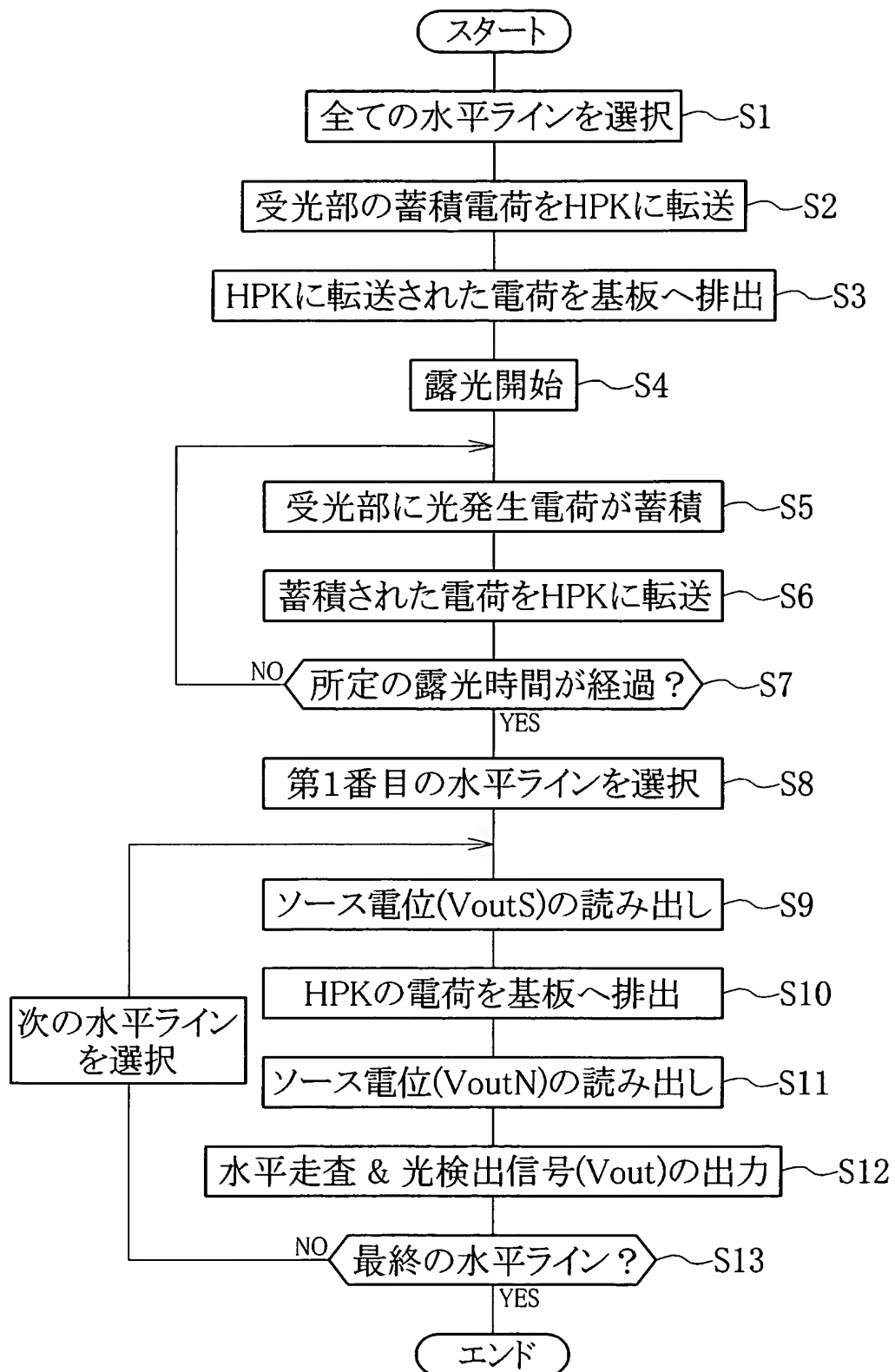
【図 3】



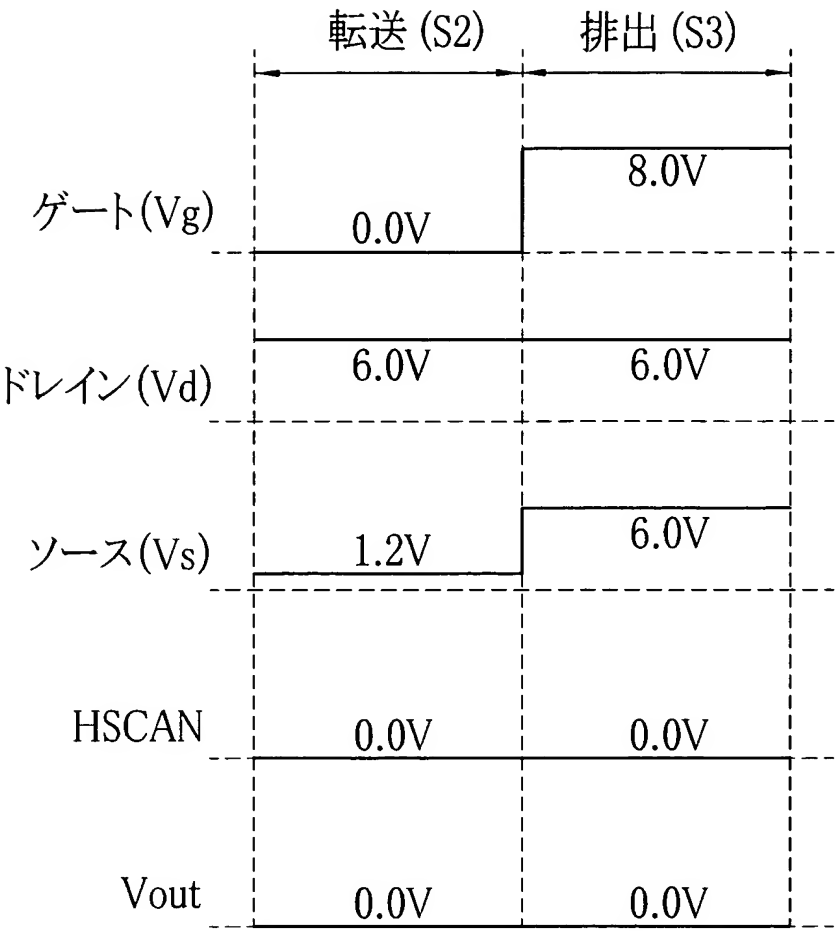
【図 4】



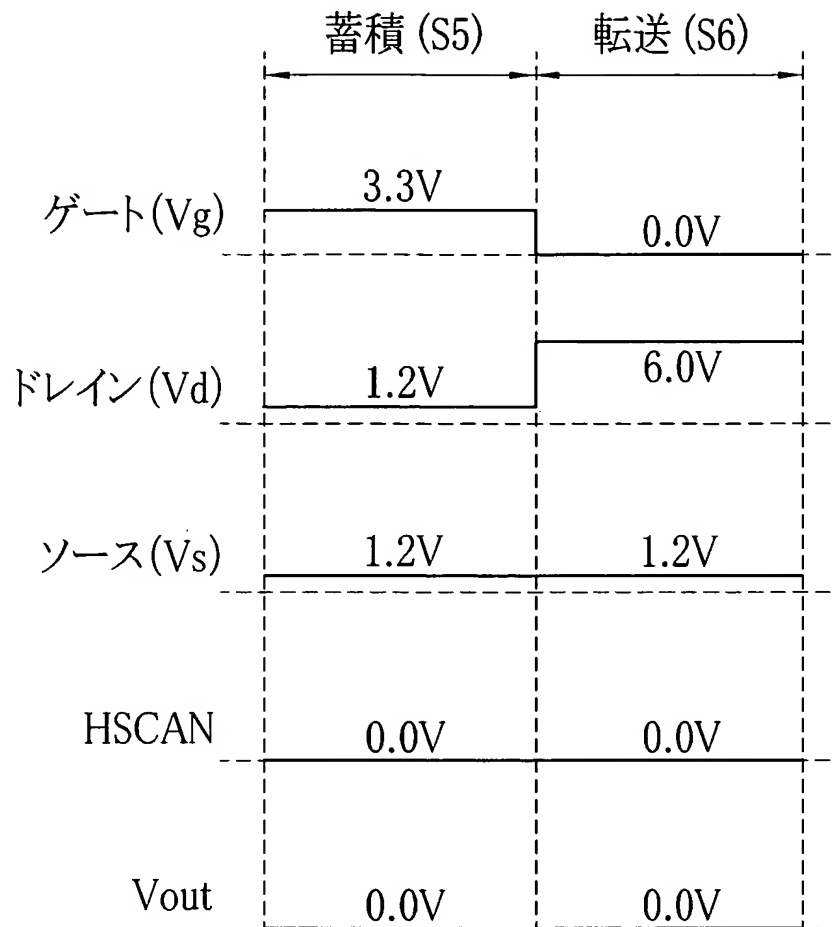
【図 5】



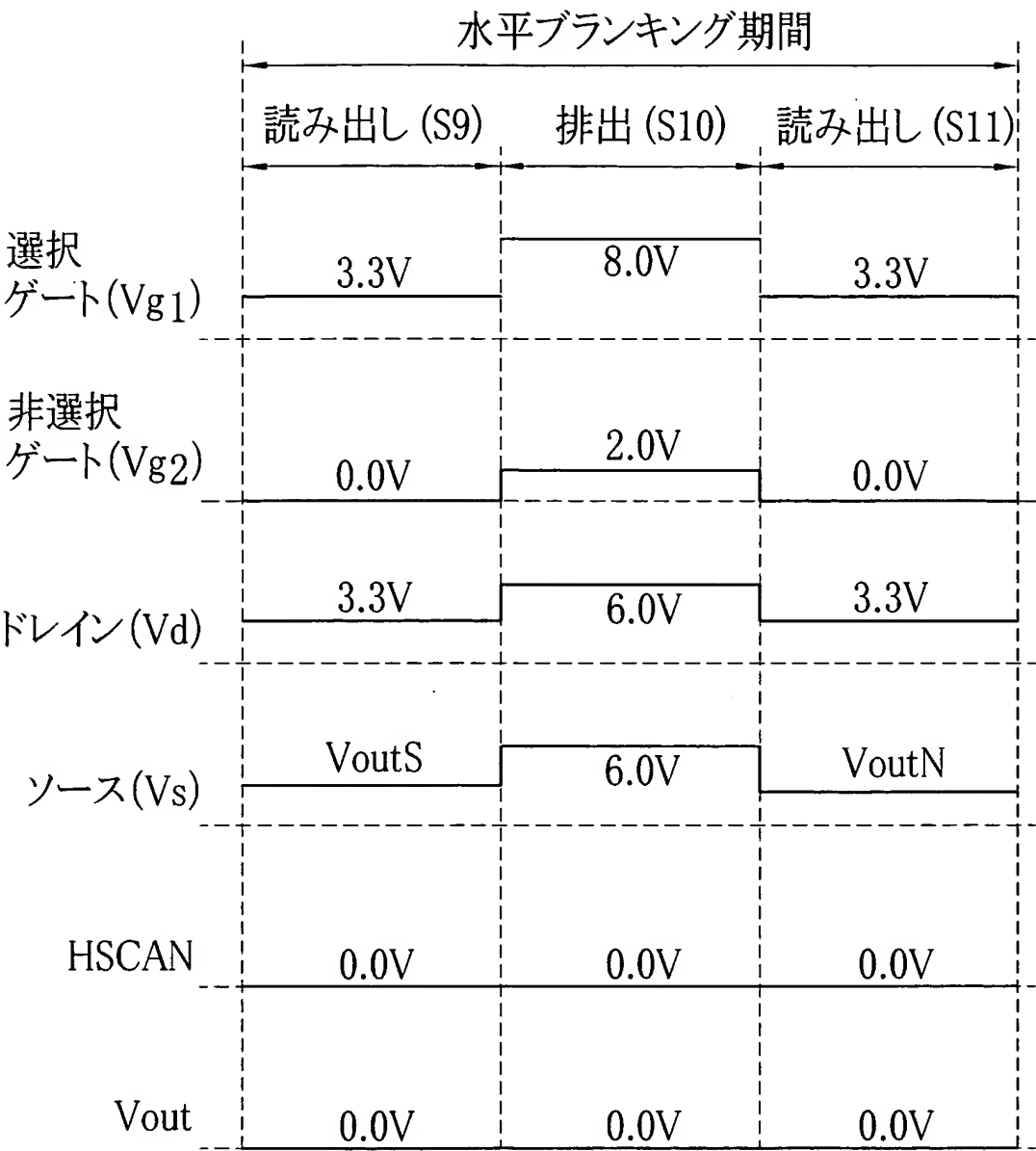
【図 6】



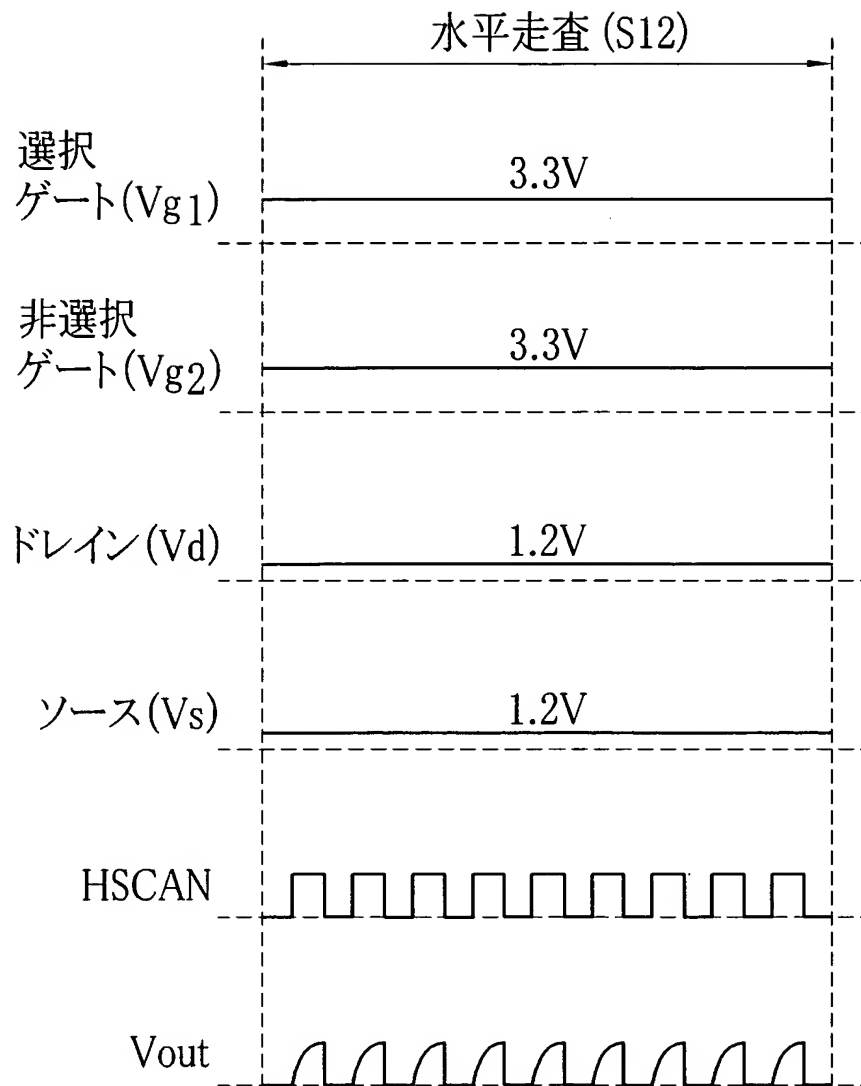
【図 7】



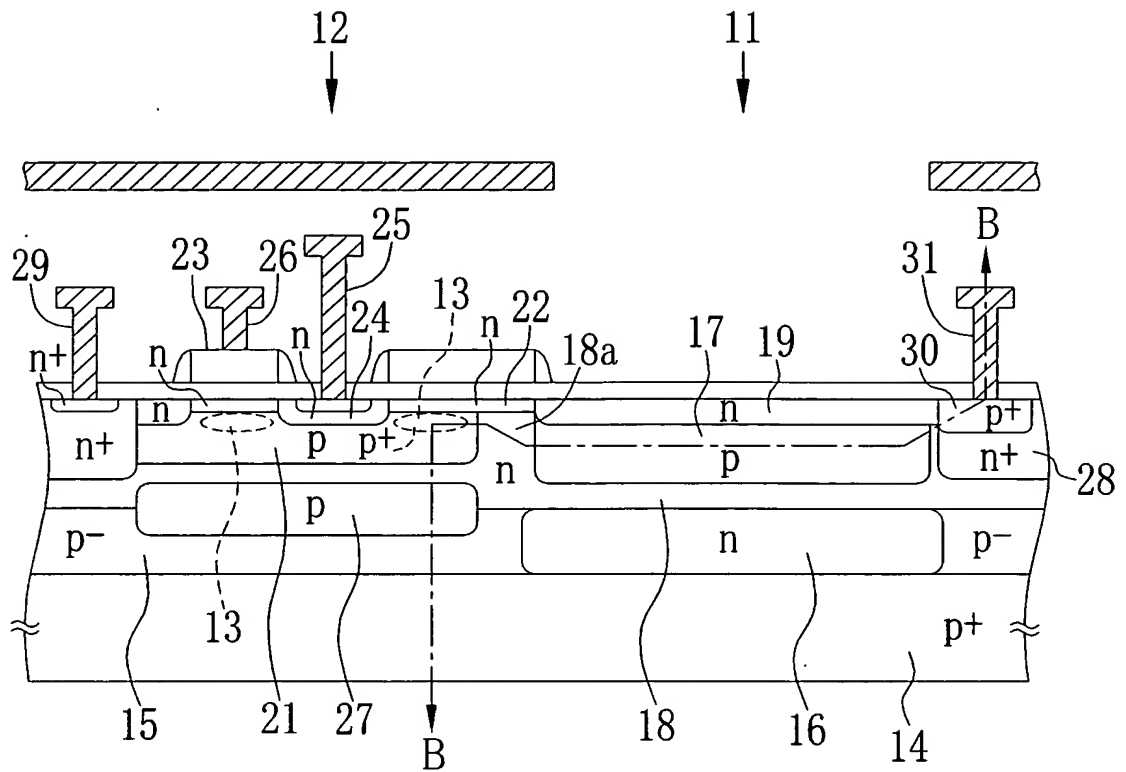
【図 8】



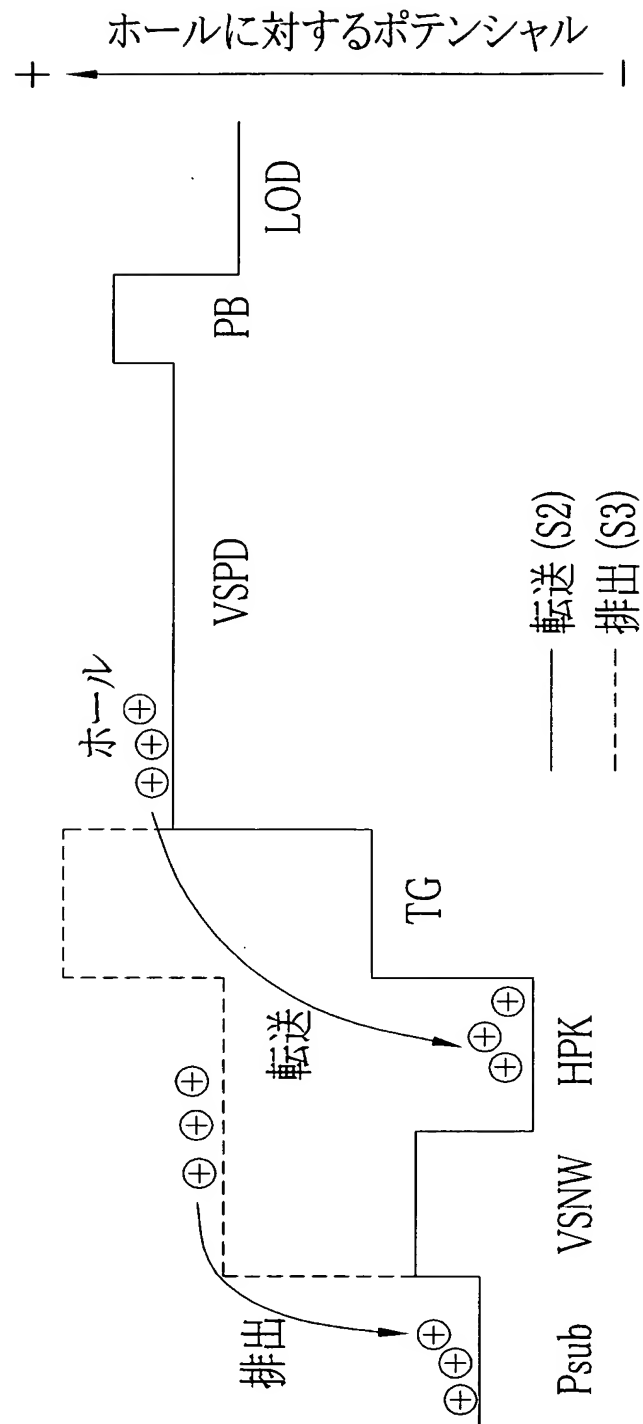
【図 9】



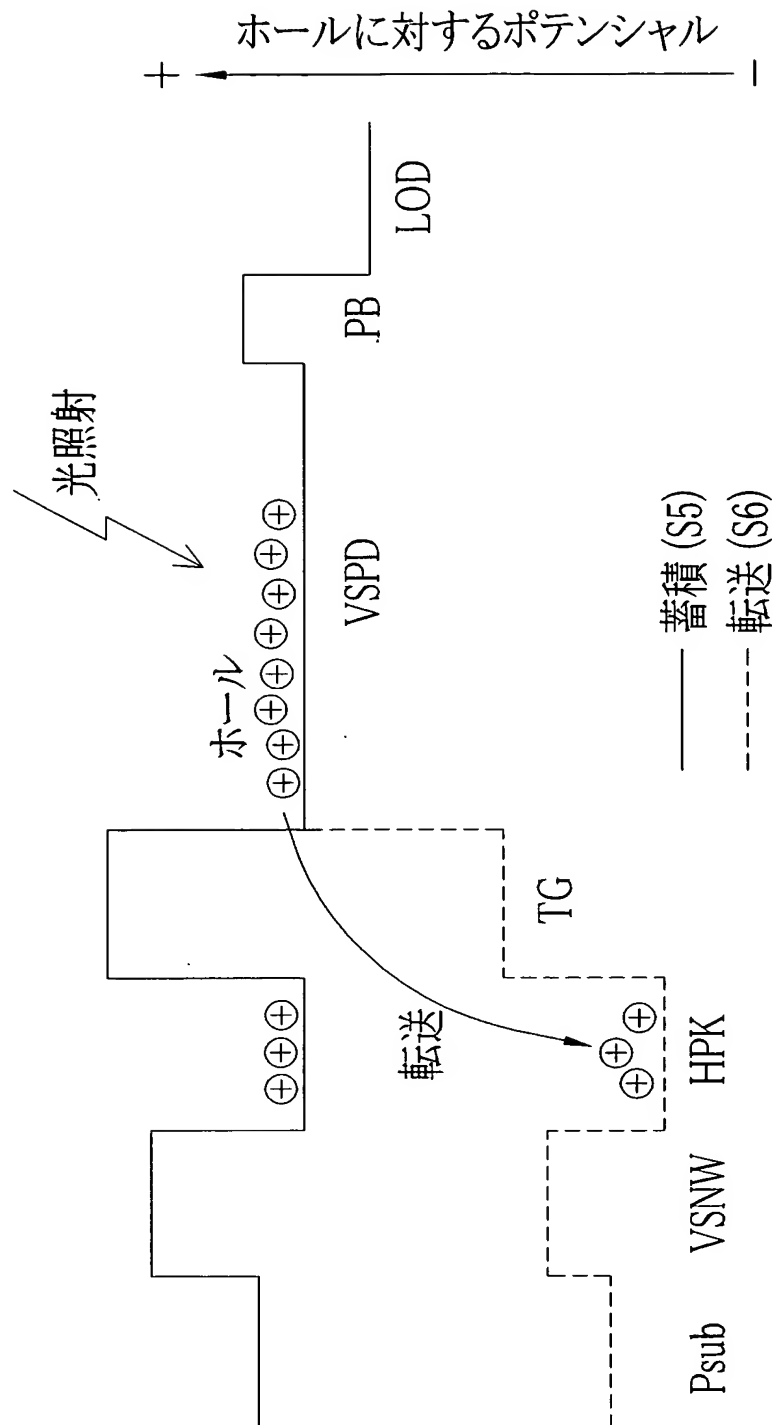
【図 10】



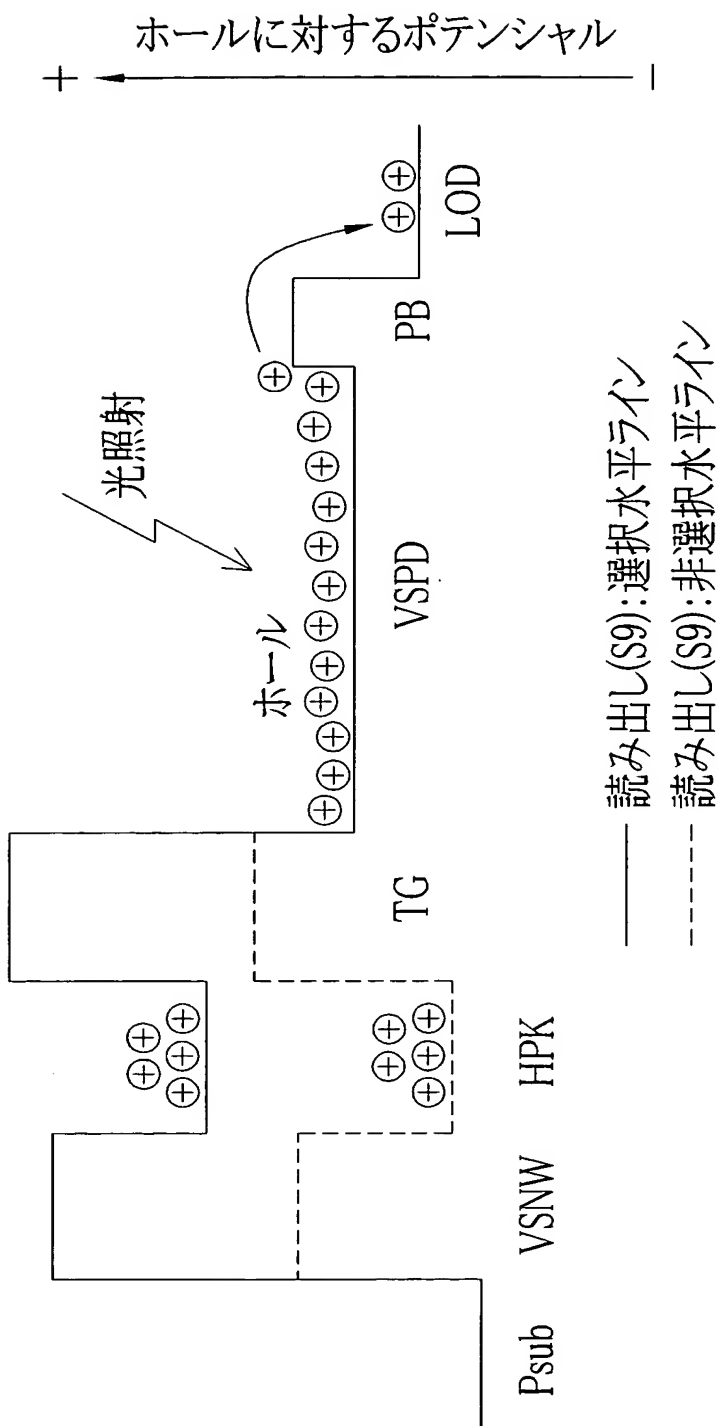
【図 11】



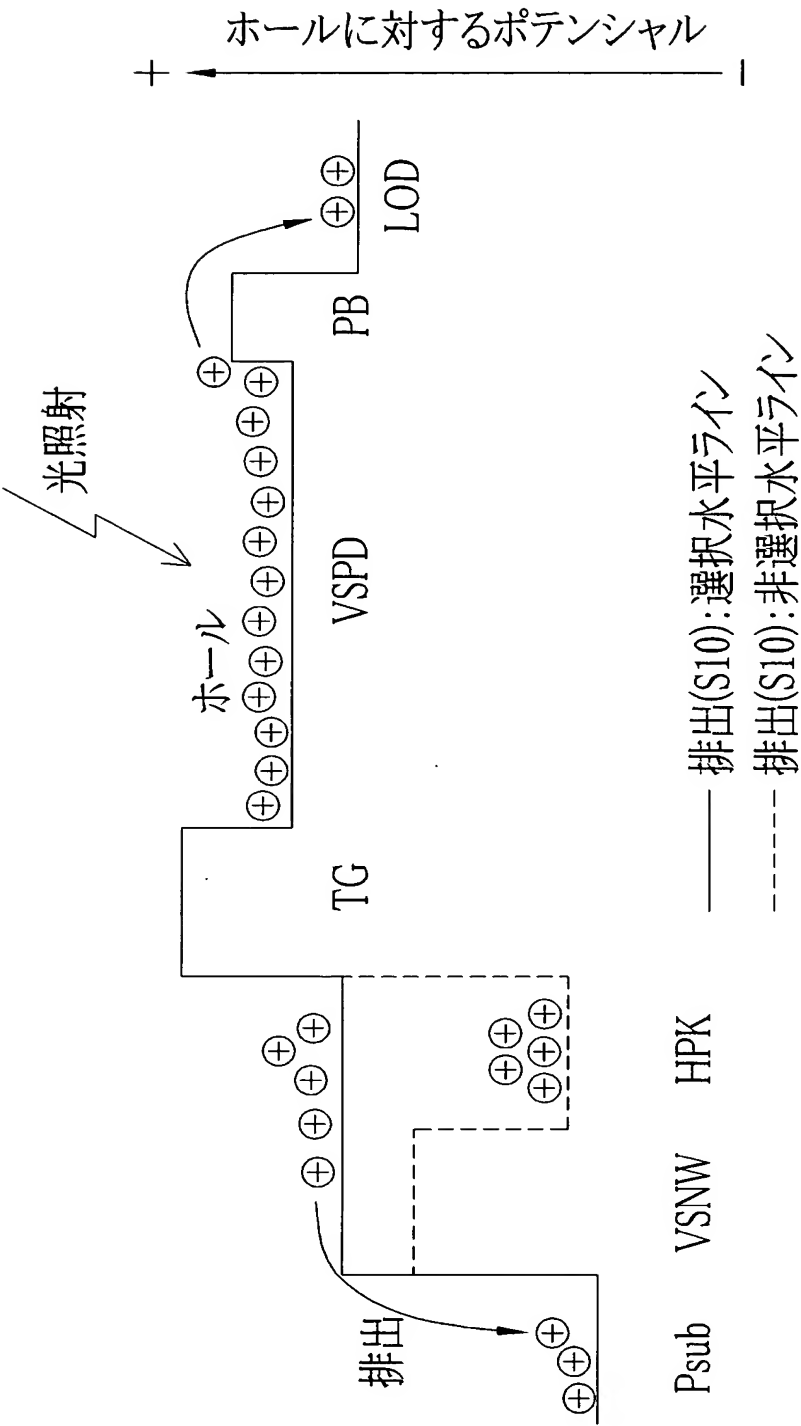
【図 12】



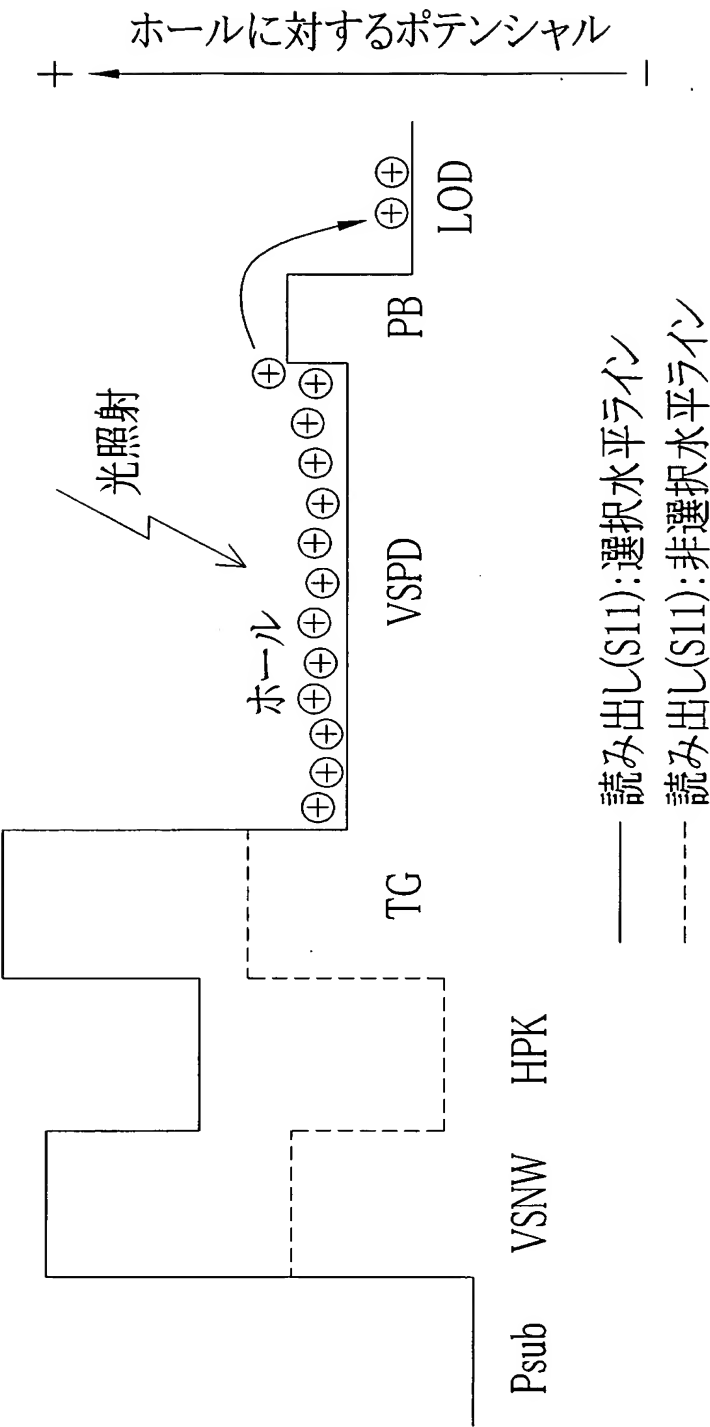
【図 13】



【図 1 4】

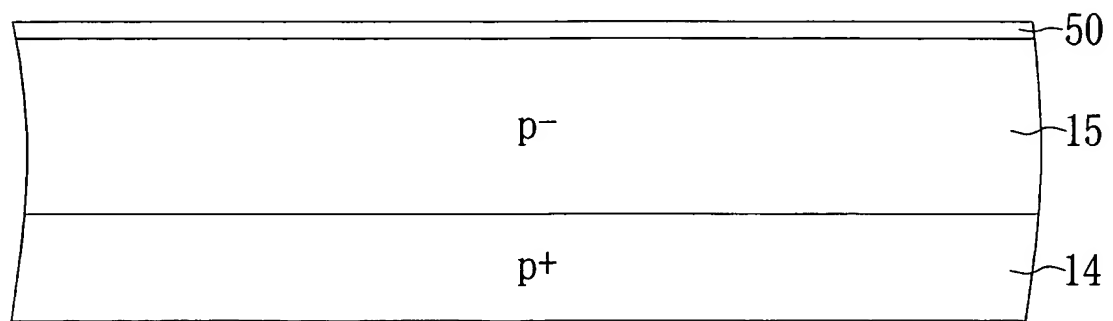


【図 15】

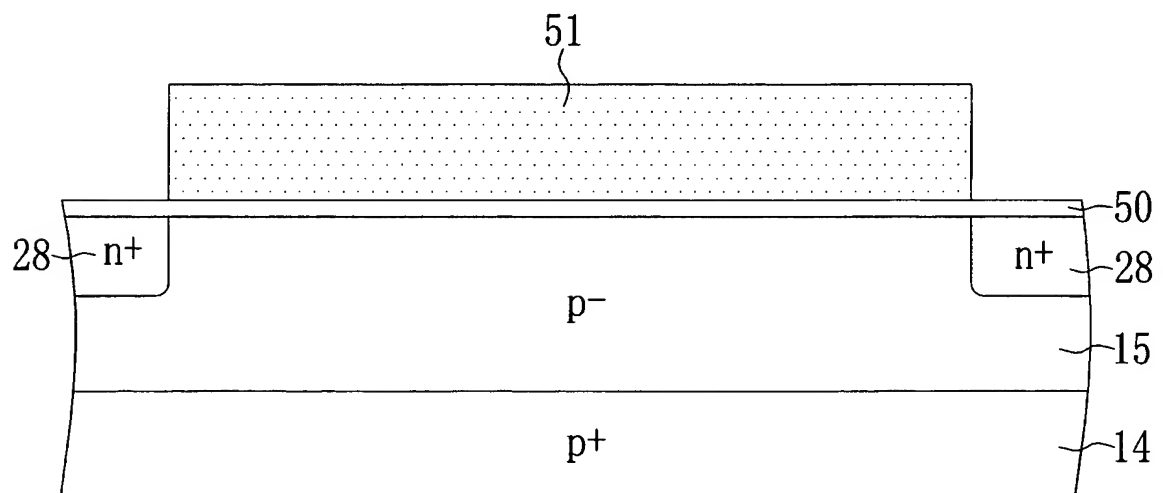


【図 16】

(A)

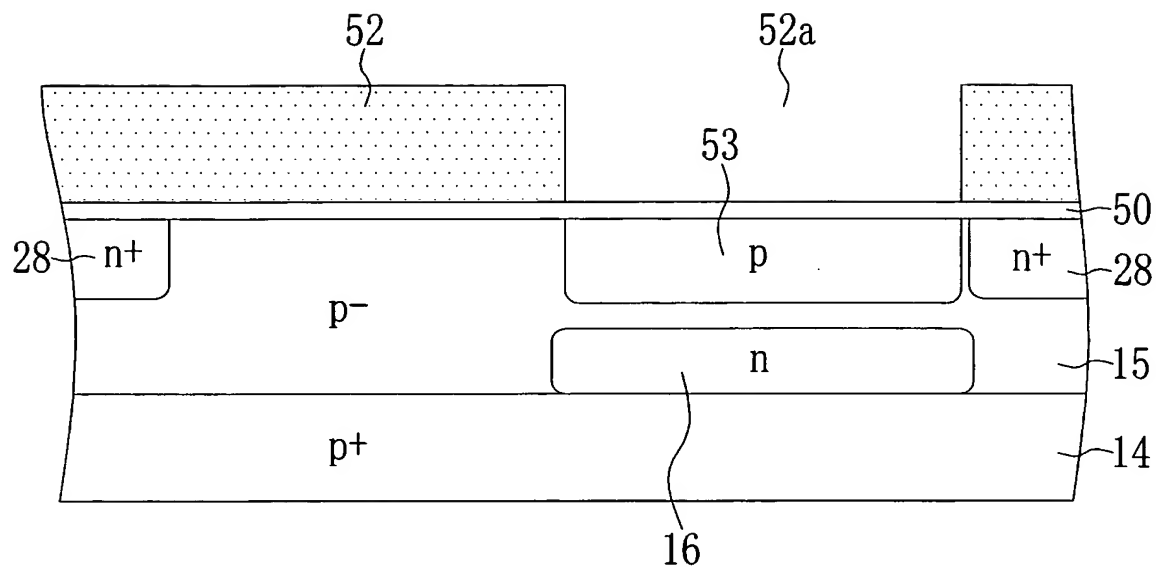


(B)

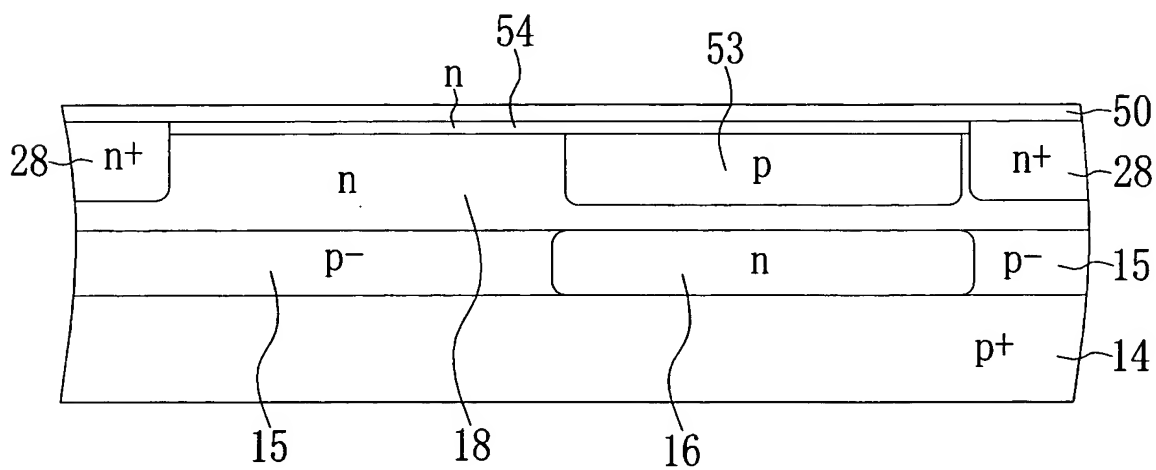


【図 17】

(A)

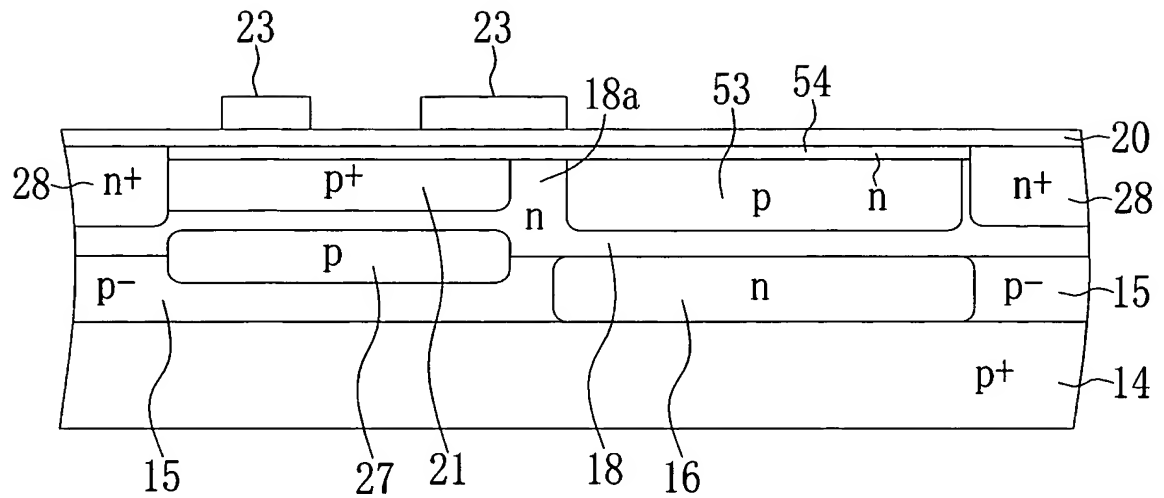


(B)

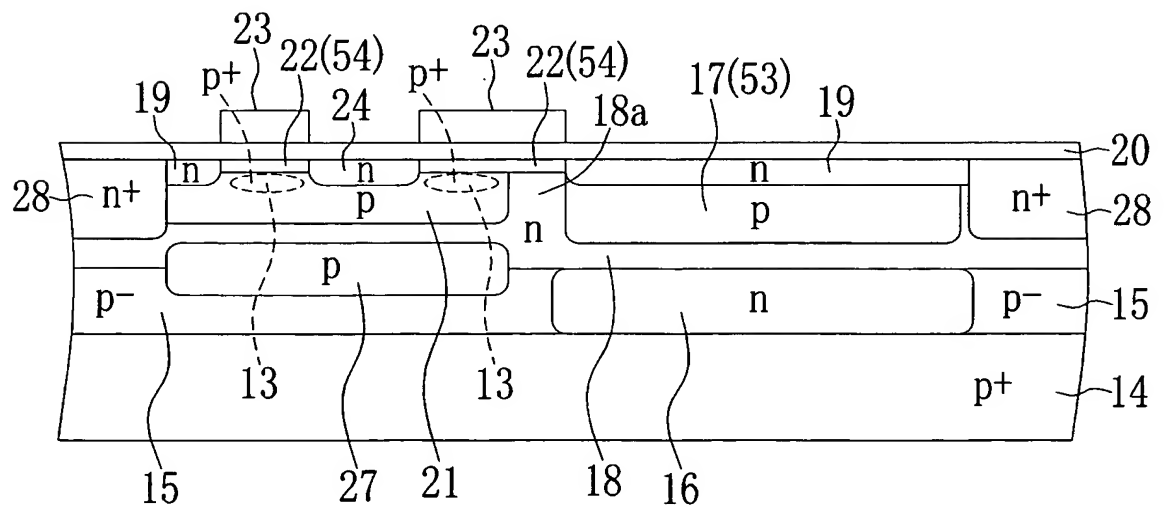


【図 19】

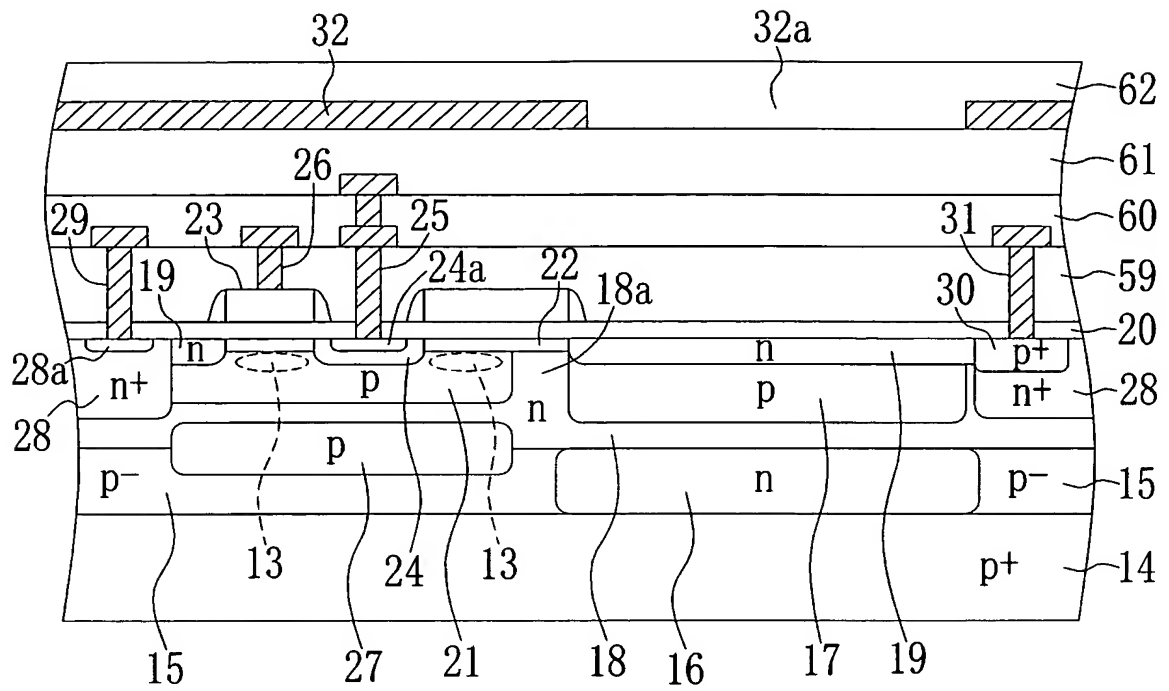
(A)



(B)



【図 21】



【書類名】 要約書**【要約】**

【課題】 グローバル電子シャッタ機能を簡単な構成によって実現する。

【解決手段】 MOS型固体撮像装置は、基板 1 4 上に形成された受光部 1 1 と検出部 1 2 とからなる複数のピクセルを備える。受光部 1 1 は、光照射を受けてホールを発生し蓄積する電荷発生領域 1 7 を備える。検出部 1 2 は、電荷発生領域 1 7 から転送されたホールを蓄積するホールポケット 1 3 を有するウエル領域 2 1 を備え、ホールポケット 1 3 に蓄積された電荷量に応じた信号電位をソース領域 2 4 に生成する。トランスファ領域 1 8 a は、電荷発生領域 1 7 とウエル領域 2 1 との間に設けられ、この領域に発生する電位障壁は、検出部 1 2 への印加電圧に応じて除去可能である。MOS型固体撮像装置は、電荷発生領域 1 7 に蓄積されているホールを廃棄する際に、このホールをトランスファ領域 1 8 a を通してホールポケット 1 3 に転送し、基板 1 4 に排出する。

【選択図】 図 2

特願 2 0 0 3 - 3 9 7 9 2 4

出 願 人 履 歴 情 報

識別番号

[5 9 3 1 0 2 3 4 5]

1. 変更年月日 1 9 9 3 年 4 月 3 0 日
 [変更理由] 新規登録
 住 所 神奈川県横浜市港北区新横浜 2 丁目 1 5 番地 1 0 号
 氏 名 イノテック株式会社

2. 変更年月日 1 9 9 9 年 1 月 2 1 日
 [変更理由] 住所変更
 住 所 神奈川県横浜市港北区新横浜 3 - 1 7 - 6
 氏 名 イノテック株式会社